

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 3 年 1 2 月 2 4 日

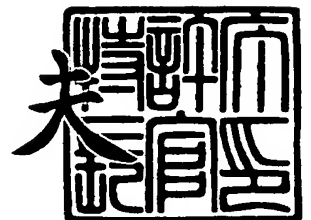
出 願 番 号
Application Number: 特 願 2 0 0 3 - 4 2 7 9 8 0
[ST. 10/C]: [J P 2 0 0 3 - 4 2 7 9 8 0]

出 願 人
Applicant(s): 富士通日立プラズマディスプレイ株式会社

2 0 0 4 年 2 月 2 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 4 - 3 0 0 5 1 7 6

【書類名】 特許願
【整理番号】 0300105
【提出日】 平成15年12月24日
【あて先】 特許庁長官 今井 康夫 殿
【国際特許分類】 H03K 17/687
G09G 3/28

【発明者】
【住所又は居所】 神奈川県川崎市高津区坂戸 3 丁目 2 番 1 号 富士通日立プラズマディスプレイ株式会社内
【氏名】 小野澤 誠

【発明者】
【住所又は居所】 神奈川県川崎市高津区坂戸 3 丁目 2 番 1 号 富士通日立プラズマディスプレイ株式会社内
【氏名】 岡田 義憲

【発明者】
【住所又は居所】 神奈川県横浜市戸塚区吉田町 2 9 2 番地 株式会社日立アドバンスデジタル内
【氏名】 黄木 英明

【発明者】
【住所又は居所】 神奈川県川崎市高津区坂戸 3 丁目 2 番 1 号 富士通日立プラズマディスプレイ株式会社内
【氏名】 平 正敏

【発明者】
【住所又は居所】 神奈川県川崎市高津区坂戸 3 丁目 2 番 1 号 富士通日立プラズマディスプレイ株式会社内
【氏名】 小泉 治男

【特許出願人】
【識別番号】 599132708
【氏名又は名称】 富士通日立プラズマディスプレイ株式会社

【代理人】
【識別番号】 100077517
【弁理士】
【氏名又は名称】 石田 敬
【電話番号】 03-5470-1900

【選任した代理人】
【識別番号】 100092624
【弁理士】
【氏名又は名称】 鶴田 準一

【選任した代理人】
【識別番号】 100100871
【弁理士】
【氏名又は名称】 土屋 繁

【選任した代理人】
【識別番号】 100082898
【弁理士】
【氏名又は名称】 西山 雅也

【選任した代理人】
【識別番号】 100081330
【弁理士】
【氏名又は名称】 樋口 外治

【先の出願に基づく優先権主張】

【出願番号】 特願2003- 39709

【出願日】 平成15年 2月18日

【手数料の表示】

【予納台帳番号】 036135

【納付金額】 21,000円

【提出物件の目録】

【物件名】 特許請求の範囲 1

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0311864

【書類名】 特許請求の範囲**【請求項 1】**

入力電圧端子に入力された入力電圧を増幅する入力増幅回路と、
前記入力増幅回路の出力する信号レベルをシフトするハイレベルシフト回路と、
前記ハイレベルシフト回路の出力するシフト信号を増幅する出力増幅回路とを有する駆動系を複数備え、

各駆動系は、同一の構成を有することを特徴とするプリドライブ回路。

【請求項 2】

前記複数の駆動系の前記入力増幅回路の駆動電源を供給する入力増幅回路用電源電圧端子と、前記複数の駆動系の前記出力増幅回路の駆動電源を供給する出力増幅回路用電源電圧端子とが別々に設けられている請求項 1 に記載のプリドライブ回路。

【請求項 3】

前記複数の駆動系のそれぞれの前記入力電圧端子と前記入力増幅回路の間に設けられた波形処理回路を備える請求項 2 に記載のプリドライブ回路。

【請求項 4】

各駆動系は、前記入力増幅回路の出力信号のレベルを、負基準電圧を基準とした信号にシフトするローレベルシフト回路を有し、

前記ハイレベルシフト回路は、前記ローレベルシフト回路の出力信号をシフトする請求項 1 に記載のプリドライブ回路。

【請求項 5】

各駆動系は、前記ローレベルシフト回路の出力信号の波形処理を行う波形処理回路を有し、

前記ハイレベルシフト回路は、前記波形処理回路の出力信号をシフトし、

前記波形処理回路は、前記負基準電圧を入力する負基準電圧入力端子と、前記負基準電圧に対する所定の電圧である負電源電圧を入力する負電源電圧入力端子とに接続される請求項 4 に記載のプリドライブ回路。

【請求項 6】

前記複数の駆動系の前記入力増幅回路の駆動電源を供給する入力増幅回路用電源電圧端子と、前記複数の駆動系の前記出力増幅回路の駆動電源を供給する出力増幅回路用電源電圧端子と、前記負電源電圧入力端子が別々に設けられている請求項 5 に記載のプリドライブ回路。

【請求項 7】

2 つの前記駆動系を有する請求項 1 から 3 のいずれかに記載のプリドライブ回路。

【請求項 8】

4 つの前記駆動系を有する請求項 1 から 3 のいずれかに記載のプリドライブ回路。

【請求項 9】

前記複数の駆動系は 2 系統ずつ対になっており、

対の 2 つの駆動系の一方の出力がアクティブ状態の時には、他方の出力を強制的にノンアクティブ状態に維持する同時オン防止回路を有する請求項 7 又は 8 に記載のプリドライブ回路。

【請求項 10】

請求項 7 に記載のプリドライブ回路と、

前記複数の駆動系の一方の駆動系の前記出力増幅回路の出力に接続された第 1 のスイッチ素子と、

前記複数の駆動系の他方の駆動系の前記出力増幅回路の出力に接続された第 2 のスイッチ素子とを備え、

前記第 1 のスイッチ素子を介して容量性負荷にハイレベル電圧を供給し、

前記第 2 のスイッチ素子を介して前記容量性負荷にローレベル電圧を供給することを特徴とする容量性負荷駆動回路。

【請求項 11】

請求項 7 に記載のプリドライブ回路であって、第 1 と第 2 の 2 個のプリドライブ回路と、

- 前記第 1 のプリドライブ回路の前記複数の駆動系の一方の駆動系の前記出力増幅回路の出力に接続された第 1 のスイッチ素子と、
- 前記第 1 のプリドライブ回路の前記複数の駆動系の他方の駆動系の前記出力増幅回路の出力に接続された第 2 のスイッチ素子と、
- 前記第 2 のプリドライブ回路の前記複数の駆動系の一方の駆動系の前記出力増幅回路の出力に接続された第 3 のスイッチ素子と、
- 前記第 2 のプリドライブ回路の前記複数の駆動系の他方の駆動系の前記出力増幅回路の出力に接続された第 4 のスイッチ素子とを備え、
- 前記第 1 のスイッチ素子を介して容量性負荷にハイレベル電圧を供給し、
- 前記第 2 のスイッチ素子を介して前記容量性負荷にローレベル電圧を供給し、
- 前記第 3 のスイッチ素子と、該第 3 のスイッチ素子と直列に接続された第 1 のコイルを介して前記容量性負荷にハイレベル電圧を供給し、
- 前記第 4 のスイッチ素子と、該第 4 のスイッチ素子と直列に接続された第 2 のコイルを介して前記容量性負荷にローレベル電圧を供給することを特徴とする容量性負荷駆動回路。

【請求項 12】

請求項 8 に記載のプリドライブ回路と、

- 前記プリドライブ回路の前記複数の駆動系の第 1 の駆動系の前記出力増幅回路の出力に接続された第 1 のスイッチ素子と、
- 前記プリドライブ回路の前記複数の駆動系の第 2 の駆動系の前記出力増幅回路の出力に接続された第 2 のスイッチ素子と、
- 前記プリドライブ回路の前記複数の駆動系の第 3 の駆動系の前記出力増幅回路の出力に接続された第 3 のスイッチ素子と、
- 前記プリドライブ回路の前記複数の駆動系の第 4 の駆動系の前記出力増幅回路の出力に接続された第 4 のスイッチ素子とを備え、
- 前記第 1 のスイッチ素子を介して容量性負荷にハイレベル電圧を供給し、
- 前記第 2 のスイッチ素子を介して前記容量性負荷にローレベル電圧を供給し、
- 前記第 3 のスイッチ素子と、該第 3 のスイッチ素子と直列に接続された第 1 のコイルを介して前記容量性負荷にハイレベル電圧を供給し、
- 前記第 4 のスイッチ素子と、該第 4 のスイッチ素子と直列に接続された第 2 のコイルを介して前記容量性負荷にローレベル電圧を供給することを特徴とする容量性負荷駆動回路。

【請求項 13】

複数の X 電極と、

- 該複数の X 電極に隣接して交互に配置され、前記複数の X 電極との間で放電を発生させる複数の Y 電極と、
- 前記複数の X 電極に放電電圧を印加する X 電極駆動回路と、
- 前記複数の Y 電極に放電電圧を印加する Y 電極駆動回路とを備えたプラズマディスプレイ装置において、
- 前記 X 電極駆動回路と前記 Y 電極駆動回路の少なくとも一方は、請求項 10 から 12 のいずれかに記載の容量性負荷駆動回路であることを特徴とするプラズマディスプレイ装置。

【書類名】明細書

【発明の名称】プリドライブ回路、容量性負荷駆動回路及びプラズマディスプレイ装置

【技術分野】

【0001】

本発明は、プリドライブ回路、及びそれを使用した容量性負荷駆動回路及びプラズマディスプレイ装置に関し、特に維持放電（サステイン放電）を行う駆動信号のタイミングの改良に関する。

【背景技術】

【0002】

平面ディスプレイとしてプラズマディスプレイ装置が実用化されており、高輝度の薄型ディスプレイとして期待されている。図1は、従来の3電極型のAC駆動方式のプラズマディスプレイ装置の全体構成を示す図である。図示のように、プラズマディスプレイ装置は、隣接して配置した複数のX電極（X1, X2, X3, ..., Xn）及びY電極（Y1, Y2, Y3, ..., Yn）と、それに交差する方向に配置した複数のアドレス電極（A1, A2, A3, ..., Am）と、交差部分に配置した蛍光体とを有する2枚の基板間に放電ガスを封入したプラズマディスプレイパネル（PDP）1と、アドレス電極にアドレスパルスなどを印加するアドレスドライバ2と、X電極に維持放電（サステイン）パルスなどを印加するX共通ドライバ3と、Y電極に順次走査パルスなどを印加する走査ドライバ4と、Y電極に印加する維持放電（サステイン）パルスなどを走査ドライバ4に供給するY共通ドライバ5と、各部の制御を行う制御回路6とを備え、制御回路6は、更にフレームメモリを含む表示データ制御部7と、走査ドライバ制御部9と共通ドライバ制御部10で構成される駆動制御回路8とを有する。X共通ドライバ3とY共通ドライバ5には、サステインパルスを出力するサステイン回路が設けられており、サステイン回路はサステイン出力素子を有する。プラズマディスプレイ装置については広く知られているので、ここでは装置全体に関するこれ以上の詳しい説明は省略し、本発明に係るX共通ドライバ3とY共通ドライバ5についてのみ更に説明する。プラズマディスプレイ装置のX共通ドライバ、走査ドライバ及びY共通ドライバについては、例えば、特開2001-282181号公報及び特開2002-351388号公報などに開示されている。また、特開平8-335863号公報は、このようなドライバで使用されるパワートランジスタ駆動回路及びそれを1チップ化したICを開示している。

【0003】

図2は、特開平8-335863号公報に開示されたパワートランジスタ駆動回路の概略構成をブロック図で表した図であり、破線で示すように全体がIC11に設けられている。プラズマディスプレイ装置では、図2のパワートランジスタ駆動ICを、サステイン出力素子をドライブするためのプリドライブ回路として使用する。図2に示すパワートランジスタ駆動IC11では、ハイレベル入力電圧HINを入力回路21で増幅し、ハイレベルシフト回路22によってハイレベル基準電圧Vrを基準とした電圧に変換し、更に出力増幅回路23を介してハイレベル出力電圧HOとして出力している。また、ローレベル入力電圧LINを入力増幅回路24で増幅し、遅延回路25を介して出力増幅回路26へ入力して増幅した後ローレベル出力電圧LOとして出力している。参照番号12と13はハイレベル入力電圧HINとローレベル入力電圧LINの入力端子を、参照番号16と19はハイレベル出力電圧HOとローレベル出力電圧LOの出力端子を、参照番号15はハイレベル電源電圧Vcの供給端子を、参照番号17はハイレベル基準電圧Vrの供給端子を、参照番号18はローレベル電源電圧Vdの供給端子を、参照番号20はグランド端子を示す。

【0004】

図2のパワートランジスタ駆動ICにおいて、遅延回路25は、ハイレベル入力電圧HINとハイレベル出力電圧HOの立ち上がり時刻の差分 $t_{dLH}(HO)$ と、ローレベル入力電圧LINとローレベル出力電圧LOの立ち上がり時刻の差分 $t_{dLH}(LO)$ が等しくなるように調整する働きをしている。更に、遅延回路25は、ハイレベル入力電圧HI

Nとハイレベル出力電圧H Oの立ち下がり時刻の差分 $t_{dHL}(H O)$ と、ローレベル入力電圧L I Nとローレベル出力電圧L Oの立ち下り時刻の差分 $t_{dHL}(L O)$ が等しくなるように調整する働きもしている。しかしながら、遅延回路25によって $t_{dLH}(H O)$ と $t_{dLH}(L O)$ を完全に一致させることはできず、ある程度の差が生じるのが避けられない。同様に、 $t_{dHL}(H O)$ と $t_{dHL}(L O)$ を完全に一致させることはできず、ある程度の差が生じるのが避けられない。

【0005】

図2のパワートランジスタ駆動ICをプラズマディスプレイ装置のプリドライブ回路として使用する場合、その出力端子16, 19には、パワーMOSFETやIGBT(Insulated Gate Bipolar Transistor)などのサステイン出力素子が接続される。プラズマディスプレイ装置(PDP装置)では、サステイン出力素子をオン・オフすることによってサステインパルスを生成し、プラズマディスプレイパネル(PDP)のX電極とY電極に供給している。

【0006】

図3は、PDP装置におけるサステイン回路の一例を示しており、図2のパワートランジスタ駆動ICをサステイン出力素子のプリドライブ回路11A, 11Bに使用する。図3において、CUとCDはサステイン出力素子を示し、この出力素子をオン・オフさせることによって、容量性負荷に相当するPDPへサステインパルスを供給している。図3において、入力信号CUIはプリドライブ回路11Aのハイレベル入力電圧として入力され、ハイレベル出力電圧として出力素子CUへ供給される。また、入力信号CDIはプリドライブ回路11Aのローレベル入力電圧として入力され、ローレベル出力電圧として出力素子CDへ供給される。

【0007】

出力素子CUがオンすると電源電圧 V_s が、ダイオードD1と出力素子CUを介してPDPへ供給される(この時、出力素子CDはオフ)。また、出力素子CDがオンすると、この出力素子CDを介してPDPへグラウンド(GND)電圧が供給される(この時、出力素子CUはオフ)。なお、出力素子CUを駆動するプリドライブ回路11Aの電源電圧(容量C1に蓄えられるハイレベル電源電圧)は、電源 V_e からダイオードD2を介して、容量C1に充電される。また、出力素子CDを駆動するプリドライブ回路11Aの電源電圧(容量C2に蓄えられるローレベル電源電圧)は、電源 V_e から直接容量C2に充電される。図3に示した回路では、出力素子CU, CDを交互にオン・オフすることによって、PDPへサステインパルスを供給する。

【0008】

図3のLUとLDは電力回収出力素子であり、このLU, LDをオン・オフすることによって、CU, CDの電力を低減する働きをしている。図3において、入力信号LUIはプリドライブ回路のハイレベル入力電圧として入力され、ハイレベル出力電圧として出力素子LUに供給される。また、入力信号LDIはプリドライブ回路のローレベル入力電圧として入力され、ローレベル出力電圧として出力素子LDに供給される。

【0009】

出力素子LUがオンすると、電源電圧 V_s とGNDの間に直列に接続された容量C5とC6の midpoint 電圧 V_p が、出力素子LU、ダイオードD4、コイルL1を介してPDPに供給される(この時、出力素子LDはオフ)。また、出力素子LDがオンすると、コイルL2、ダイオードD5、出力素子LDを介してPDPに上記の midpoint 電圧 V_p が供給される(この時、出力素子LUはオフ)。なお、出力素子LUを駆動するプリドライブ回路の電源電圧(容量C3に蓄えられているハイレベル電源電圧)は、電源 V_e からダイオードD3を介して、容量C3に充電される。また、出力素子LDを駆動するプリドライブ回路の電源電圧(容量C4に蓄えられているローレベル電源電圧)は、電源 V_e から直接容量C4に充電される。図3に示した回路では、上記出力素子LUをサステイン出力素子CUがオンする直前にオンさせ、上記出力素子LDをサステイン出力素子CDがオンする直前にオンさせることによって、CU, CDで生じる電力損失を低減する働きをしている。

【0010】

なお、図3に示した回路において、スイッチSW1は、プラズマディスプレイ装置のリセット期間にオンし、リセット電圧 V_w を出力素子CUを介してPDPに供給する働きをしている。

【0011】

【特許文献1】特開2001-282181号公報

【特許文献2】特開2002-351388号公報

【特許文献3】特開平8-335863号公報

【発明の開示】

【発明が解決しようとする課題】

【0012】

図2のパワートランジスタ駆動用ICを使用したプリドライブ回路では、遅延回路25によって、ハイレベル入力電圧HINとハイレベル出力電圧HOの立ち上がり時刻の差分 $t_{dLH}(HO)$ 、及び上記ローレベル入力電圧LINとローレベル出力電圧LOの立ち上がり時刻の差分 $t_{dLH}(LO)$ との違いを調整している。しかしながら、プリドライブ回路におけるハイレベルシフト回路と、その回路での遅延時間に相当する時間遅延させる遅延回路とは、異なった回路であり、素子のばらつきや温度特性を含めた遅延特性を完全に一致させることはできない。この結果、上記 $t_{dLH}(HO)$ と $t_{dLH}(LO)$ に差が生じるのが避けられない。

【0013】

$t_{dLH}(HO)$ と $t_{dLH}(LO)$ に差があるプリドライブ回路を、図3に示したプラズマディスプレイ装置のサステイン回路に適用した場合、出力素子CUとCDのオン・オフのタイミングが、設計値とずれる可能性がある。このようなタイミングのずれが生じた場合、出力素子が同時にオンし、CUからCDに貫通電流が流れ、過電流による素子破壊に至る可能性がある。

【0014】

また、同様に、電力回収出力素子LU、LDのオンするタイミングが設計値とずれる可能性もある。このタイミングのずれにより、立ち上がり時の電力回収電流(L1に流れる電流)と立ち下り時の電力回収電流(L2に流れる電流)がアンバランスになり、容量C5とC6の中間電圧 V_p の値が中間電圧からずれ、電力回収動作が正常に行われず、消費電力が増加する可能性がある。

【0015】

さらに、絶対値が等しい正負の電圧のサステインパルスを使用して駆動素子の耐圧を低下させることが行われているが、制御信号はグランドを基準電圧とする信号であり、上記のプリドライブ回路から負電圧の駆動信号を出力するには、プリドライブ回路のローレベル基準電圧を負サステイン電圧とすると共に、レベルシフト回路を設けて入力電圧信号を負サステイン電圧を基準電圧とする信号に変換する必要がある。レベルシフト回路と上記のプリドライブ回路は別の回路であるため、上記と同様の問題を生じる。

【0016】

近年、プラズマディスプレイ装置は、輝度向上を図るため、サステイン周期を短くして1フレーム内のサステインパルス数を増加することが望まれているが、サステイン周期が短くなると、上記の問題がより一層重要になる。

【0017】

本発明は、ハイレベルとローレベルの出力電圧のタイミングのずれを低減したプリドライブ回路を実現し、それを使用した容量性負荷駆動回路及びプラズマディスプレイ装置における素子破壊や消費電力の増加を防止することを目的とする。

【課題を解決するための手段】

【0018】

上記目的を実現するため、本発明のプリドライブ回路は、入力増幅回路とハイレベルシフト回路と出力増幅回路とを有する同一構成の駆動系を複数備えることを特徴とする。

【0019】

図2の遅延回路25はハイレベルシフト回路22に比べて回路構成が簡単であり、回路規模を小さくできる。ローレベル電圧の駆動系は、増幅した入力電圧信号をハイレベルにシフトする必要はないので、従来のプリドライブ回路（パワートランジスタ駆動用IC）では、回路規模を小さくするために、遅延回路を使用していた。しかし、本発明者は、この構成では上記のような問題を生じることを発見した。

【0020】

本発明のプリドライブ回路を使用すれば、同一構成の駆動系が複数設けられており、遅延回路の代わりにハイレベルシフト回路を使用してハイレベル電圧の駆動系とローレベル電圧の駆動系を同一の構成にできるので、タイミングのずれを生じない。従って、このプリドライブ回路を用いたICを使用すれば、出力素子CUとCDを駆動するゲートパルスの立ち上がりのタイミング及びゲートパルスの立ち下りのタイミングを所望の状態に正確に設定することができる。従って、CUとCDが同時にオンすることにより生じる過電流による破壊を防止できる。

【0021】

また、本発明のプリドライブ回路を使用すれば、出力素子LUとLDを駆動するゲートパルスの立ち上がりのタイミング及びゲートパルスの立ち下りのタイミングを所望の状態に正確に設定することができる。従って、サステインパルスの立ち上がり時の電力回収（L1に流れる電流）と、サステインパルスの立ち下りの電力回収（L2に流れる電流）のアンバランスによる容量C5とC6の中間電圧Vpの変化を低減することができる。これによって、電力回収動作の異常による消費電力増加を防止することができる。

【0022】

レベルシフト回路は、そこに供給する基準電源電圧に応じて入力電圧をシフトさせる。従って、ローレベル電圧の駆動系を構成するレベルシフト回路には、それに応じた基準電源電圧を供給する。図2及び図3の例では、ローレベル電圧の駆動系の基準電源電圧はグラウンド（GND）であるが、後述するハイレベル出力電圧とローレベル出力電圧を絶対値が等しく正負逆の極性にする構成の場合、本発明のプリドライブ回路を使用して、一方の駆動系に正の基準電源電圧を、他方の駆動系に負の基準電源電圧を供給することも可能である。

【0023】

複数の駆動系は、同一の半導体チップ上に形成すること、すなわちIC化することが望ましい。これにより2つの駆動系の回路特性の同一性が一層高くなる。

【0024】

複数の駆動系の入力増幅回路の駆動電源を供給する入力増幅回路用電源電圧端子と、複数の駆動系の出力増幅回路の駆動電源を供給する出力増幅回路用電源電圧端子は別々に設けることが望ましい。

【0025】

複数の駆動系のそれぞれの入力電圧端子と入力増幅回路の間に、シュミットトリガ回路などの波形処理回路を設けてもよい。その場合、波形処理回路に別の電源電圧を供給する必要があり、波形処理回路用電源端子を設けるか、入力増幅回路用電源電圧端子に供給される電圧を変換して波形処理回路用電源電圧を生成する定電圧回路を設ける。

【0026】

駆動系の個数は、2つ又は4つであることが望ましい。

【0027】

2つの駆動系を有するプリドライブ回路（用IC）を使用してプラズマディスプレイ装置のサステイン回路のような容量性負荷駆動回路を構成する場合には、2つの駆動系を有するプリドライブ回路と、一方の駆動系の出力増幅回路の出力に接続された第1のスイッチ素子（CU）と、他方の駆動系の出力増幅回路の出力に接続された第2のスイッチ素子（CD）とを設け、第1のスイッチ素子を介して容量性負荷にハイレベル電圧を供給し、第2のスイッチ素子を介して容量性負荷にローレベル電圧を供給する。この容量性負荷駆

動回路に電力回収回路を設ける場合には、更に2つの駆動系を有する第2のプリドライブ回路を設け、第2のプリドライブ回路の一方の駆動系の出力増幅回路の出力に接続された第3のスイッチ素子(LU)と、他方の駆動系の出力増幅回路の出力に接続された第4のスイッチ素子(LD)とを設け、第3のスイッチ素子と第1のコイルを介して容量性負荷にハイレベル電圧を供給し、第4のスイッチ素子と第2のコイルを介して容量性負荷にローレベル電圧を供給する。

【0028】

4つの駆動系を有するプリドライブ回路を使用して電力回収回路を有する容量性負荷駆動回路を構成する場合には、4つの出力増幅回路の出力に第1から第4のスイッチ素子をそれぞれ接続する。

【0029】

なお、タイミングを一層正確に調整するために、プリドライブ回路の前段又は後段に、信号の入出力時間を調整する遅延時間調整回路を設けることが望ましい。遅延時間調整回路は、例えば、複数の抵抗値から使用する抵抗値を選択する可変抵抗と容量の組合せで実現される。選択できる抵抗値の個数が同じ場合、選択できる抵抗値の範囲が小さいほど抵抗値を細かく調整できる。本発明によれば、従来例に比べてタイミングのずれの範囲を小さくできるので、より細かな調整が可能である。

【0030】

第3のスイッチ素子の容量性負荷に接続されない端子に、ハイレベル電圧とローレベル電圧の中間電圧以外の電圧を供給してもよい。

【0031】

ハイレベル電圧とローレベル電圧は任意に設定可能であり、例えば、ハイレベル電圧を電源電圧、ローレベル電圧をグランド電圧とするか、ハイレベル電圧は正の電圧とし、ローレベル電圧はハイレベル電圧と同じ絶対値で負の電圧とする。

【0032】

ローレベル出力電圧が負電圧の場合、プリドライブ回路の複数の入力電圧端子の前段に、グランド電圧を基準とした入力信号を、ローレベル電圧を基準とした信号にレベル変換する入力レベルシフト回路を設ける。

【0033】

さらに、上記の入力レベルシフト回路や波形処理回路を設ける場合には、これらの回路をプリドライブ回路内に設けることが望ましい。これにより、これらの回路をプリドライブ回路と別に設けた場合に生じる出力電圧のタイミングのずれを低減することが可能になる。

【0034】

なお、入力レベルシフト回路や波形処理回路をプリドライブ回路内に設ける場合にも、上記の構成を適用することが望ましい。例えば、各回路の電源端子を別にするのが望ましく、入力レベルシフト回路や波形処理回路を有するプリドライブ回路は、1パッケージ内に形成するか、特に同一の半導体チップ上に形成すること、すなわちIC化することが望ましい。

【0035】

また、波形処理回路に積分回路を設けてノイズを除去できるようにすることが望ましい。

【0036】

さらに、対となる2個の駆動素子の駆動信号を出力する対の2つの駆動系の一方の出力がアクティブ状態の時には、他方の出力を強制的にノンアクティブ状態に維持する同時オン防止回路を設けることが望ましい。

【発明の効果】

【0037】

本発明によれば、プリドライブ回路のハイレベル側とローレベル側の間で生じる入出力遅延時間の差を低減することができる。また、このプリドライブ回路を用いた容量性負荷

駆動回路をプラズマディスプレイ装置に適用することにより、入出力遅延時間の差によって生じる素子破壊や消費電力の増加を防止できる。

【発明を実施するための最良の形態】

【0038】

図4は、本発明の第1実施例のプリドライブ回路の構成を示す図である。図4に示すように、第1入力増幅回路41と第2入力増幅回路44、第1ハイレベルシフト回路42と第2ハイレベルシフト回路45、第1出力増幅回路43と第2出力増幅回路46は、それぞれ同一の回路で構成されている。この結果、第1入力電圧 $IN1$ と第1出力電圧 $OUT1$ の立ち上がり時刻の差 t_{dLH1} と、第2入力電圧 $IN2$ と第2出力電圧 $OUT2$ の立ち上がり時刻の差 t_{dLH2} の差分($t_{dLH1} - t_{dLH2}$)を、図2に示した従来のパワートランジスタ駆動用IC(プリドライブ回路)より小さくすることができる。また、同様に、 $IN1$ と $OUT1$ の立ち下がり時刻の差 t_{dHL1} と、 $IN2$ と $OUT2$ の立ち下がり時刻の差 t_{dHL2} の差分($t_{dHL1} - t_{dHL2}$)を、図2に示した従来のプリドライブ回路より小さくすることができる。

【0039】

このプリドライブ回路を、破線で示したパッケージ内に、特にIC(集積回路)11内に形成することにより、回路内の素子のばらつきを減らすことができ、上記差分($t_{dLH1} - t_{dLH2}$)及び($t_{dHL1} - t_{dHL2}$)をより小さくできる。

【0040】

図5は、本発明のプリドライブ回路による効果、すなわちタイミングのずれの低減を説明する図である。図5の(A)と(B)は、製造した回路をサンプリングして求めた入出力遅延時間(入力電圧の立ち上がり時刻と出力電圧の立ち上がり時刻の差)の分布の例を示している。図5の(A)に示すように、従来はハイレベル電圧の駆動系はハイレベルシフト回路を有し、ローレベル電圧の駆動系は遅延回路を有し、2つの回路は異なる構成であるので、入出力遅延時間は異なる値を中心にばらつくことになる。従って、2つの駆動系の入出力遅延時間の差は中心値の差を中心にしてばらつき、絶対値が大きくなる。これに対して、本発明によれば、ハイレベル電圧とローレベル電圧の2つの駆動系は同一の構成を有するので、図5の(B)に示すように同じ値を中心にしてばらつくことになるので、2つの駆動系の入出力遅延時間の差はゼロを中心にばらつくことになり、絶対値は従来例に比べて小さくなる。

【0041】

更に、プリドライブ回路の2つの駆動系を同一パッケージ又はIC内に形成した場合、同一構成の2つの駆動系の入出力遅延時間は類似の傾向を示すと考えられるので、2つの駆動系の入出力遅延時間の差は図5の(C)に示すように一層小さくなる。このように、本発明によれば、2つの駆動系の入出力遅延時間の差を非常に小さくできる。

【0042】

また、図2に示した従来のプリドライブ回路では、第1及び第2の入力増幅回路21、24の電源電圧として、ローレベル電源電圧を利用していた。この結果、例えば入力電圧 HIN に対して出力電圧 HO を出力するハイレベル電圧の駆動系のみを利用する場合でも、ローレベル電源電圧を入力する必要があった。これに対して、図4に示した第1実施例のプリドライブ回路では、独立した入力増幅回路用電源電圧入力端子 $VI132$ を設けて入力増幅回路41、42の電源電圧を供給している。この結果、例えば、ハイレベル電圧の駆動系のみを利用する場合には、第2の出力増幅回路46の電源電圧を供給する必要がなく、入力部と出力部を独立に設計できる。

【0043】

図6は、第1実施例のプリドライブ回路の入力増幅回路とハイレベルシフト回路の具体的構成を示す図である。入力電圧 IN は抵抗 $R2$ を介してトランジスタ $Tr1$ のゲートに印加される。トランジスタ $Tr1$ のドレインは抵抗 $R3$ を介してハイレベル電源電圧 OV に接続され、入力電圧に応じて $Tr1$ と抵抗 $R3$ の接続点に電圧信号を生じる。この電圧信号は、ハイレベル電源電圧 OV と抵抗 $R4$ を介してハイレベル基準電源 RV に接続され

たトランジスタ $T_r 2$ のゲートに印加される。これにより $T_r 2$ と抵抗 $R 4$ の接続点には、ハイレベル基準電源 $R V$ を基準に変化する電圧が発生し、この電圧が出力増幅回路 47 に供給される。なお、ハイレベルシフト回路は広く使用されており、そのいずれも使用でき、例えば前述の特開平 8-335863 号公報に開示されたハイレベルシフト回路も使用可能である。

【0044】

図 7 は、本発明の第 2 実施例のプラズマディスプレイ装置のサステイン回路の構成を示す。図示のように、第 2 実施例のサステイン回路は、図 3 の従来のサステイン回路と類似の構成を有するが、出力素子 $C U$ 、 $C D$ 、 $L U$ 、 $L D$ を駆動するプリドライブ回路を第 1 実施例のプリドライブ回路を使用して実現した点が異なる。

【0045】

図 7 に示すように、サステイン回路のプリドライブ回路として、図 4 のプリドライブ回路を使用することにより、出力素子 $C U$ 、 $C D$ に供給するゲートパルスの立ち上がり時刻と立ち下り時刻をより正確に設定できる。この結果、出力素子 $C U$ 、 $C D$ が同時にオンになって貫通電流により出力素子 $C U$ 、 $C D$ が破壊される可能性を低減できる。また、出力素子 $L U$ 、 $L D$ に供給するゲートパルスの立ち上がり時刻と立ち下り時刻をより正確に設定できる。この結果、出力素子 $L U$ 、 $L D$ のオンするタイミングを正確に設定でき、コイル $L 1$ を介して流れる電力回収電流と、コイル $L 2$ を介して流れる電力回収電流の値を適切に設定することができる。これにより、出力素子 $L U$ 、 $L D$ のオンするタイミングのずれによって生じる消費電力の増加を抑えることができる。

【0046】

図 8 は、本発明の第 3 実施例のプラズマディスプレイ装置のサステイン回路の構成を示す。図示のように、第 3 実施例のサステイン回路は、第 2 実施例のサステイン回路において、各入力電圧信号 $C U I$ 、 $C D I$ 、 $L U I$ 、 $L D I$ の入力部に入出力遅延時間調整回路 47～50 を設けた点が異なる。入出力遅延時間調整回路 47～50 は、プリドライブ回路の入出力遅延時間のばらつきを吸収し、 $C U I$ と $V G 1$ 、 $C D I$ と $V G 2$ 、 $L U I$ と $V G 3$ 、 $L D I$ と $V G 4$ との立ち上がり時刻又は立ち下り時刻の差を小さくする働きをしている。

【0047】

入出力遅延時間調整回路は、例えば、図 9 に示すような可変抵抗 $V R$ と容量 C による遅延回路で実現できる。入出力遅延時間調整回路の構成は、特開 2001-282181 号公報に開示されているので、ここでは詳しい説明を省略する。

【0048】

また、第 3 実施例で使用するプリドライブ回路では、第 1 入力増幅回路 41 と第 2 入力増幅回路 44 の閾値電圧は、電源電圧の中間の電圧 $V I 1 / 2$ に略等しく設定されている。これにより、入出力遅延時間調整回路 47～50 を設けることにより生じるパルス幅の変化を低減できる。

【0049】

第 3 実施例の回路では、図 4 に示した第 1 実施例のプリドライブ回路を使用することにより、入出力遅延時間調整回路で調整する前の入出力遅延時間のばらつきを低減することができる。この結果、入出力遅延時間調整回路の調整範囲を小さくすることができる。例えば、入出力遅延時間調整回路として図 9 のような遅延回路を使用した場合、抵抗の可変範囲を小さくすることができる。従って、可変抵抗 $V R$ の抵抗の値をトリミングして抵抗値を変化させて遅延時間を変化させる場合、単位トリミング量によって設定できる遅延時間の最小調整量をより小さくできる。よって、より高精度な遅延時間の設定が可能となる。

【0050】

また、入出力遅延時間調整回路の調整範囲を小さくすることによって、部品ばらつきによって、規格外となる不良品の数を減らすことができ、生産性の向上が図れる。

【0051】

図10は、本発明の第4実施例のプラズマディスプレイ装置のサステイン回路の構成を示す。図示のように、第4実施例のサステイン回路は、第3実施例のサステイン回路において、リセット電圧源を出力素子CDの基準電圧側に接続する点が異なる。図10に示すように、出力素子CDの基準電圧側（PDPに接続されない側）を、スイッチSW2を介して電圧 V_w' の電圧源に、スイッチSW3を介してGNDに接続する。容量C6のC5に接続されない側の端子は、容量C8を介して出力素子CUの電源側に接続する。当然スイッチSW1は除去する。PDPにリセット電圧 V_w を印加する場合には、出力素子CUをオンして、スイッチSW3をオフした上で、スイッチSW2をオンする。これにより容量C8の端子の電圧がGNDから V_w' に変化し、出力素子CUの電源側の電圧に V_w' が重畳されてリセット電圧 $V_s + V_w'$ （ $=V_w$ ）になる。このリセット電圧 $V_s + V_w'$ が出力素子CUを介してPDPに印加される。この時、出力素子CDの両端にはリセット電圧 $V_s + V_w'$ と V_w' が印加されるので、出力素子CDに印加される電圧は V_s であり、比較的耐圧の小さい出力素子CDを使用できるという利点がある。

【0052】

V_s に V_w' を重畳してリセット電圧 $V_s + V_w'$ を生成する構成については、特開2002-351388号公報に詳細が開示されている。

【0053】

更に説明すれば、第4実施例のサステイン回路の特徴は、プリドライブ回路として図7の第1実施例の回路を使用した場合に比べて、電圧 V_w' を出力素子CDの基準電圧側に印加できる点である。図3に示した従来のプリドライブ回路では、出力素子CDの基準電圧側はGNDであり、プリドライブ回路のローサイド基準電圧もGNDに接続されていた。また、従来のプリドライブ回路をICを用いて構成した場合、IC内部で入力部のGNDと接続されていたり、IC内のサブストレート（基板）に接続されていた。このため、図3に示した従来のプリドライブ回路では、ローサイド基準電圧をGNDより高くすることができなかった。よって、電圧 V_w' を出力素子CDの基準電圧側に重畳することができなかった。

【0054】

これに対して、図4に示した第1実施例のプリドライブ回路における出力基準電圧端子RV2は、IC内でGNDには接続されていない。また、ICのサブストレートにも接続されていない。このため、出力基準電圧端子に電圧 V_w' を重畳することが可能になる。

【0055】

通常、リセット電圧 V_w はサステイン回路の電源電圧 V_s より高い。よって、図8に示したサステイン回路では、リセット電圧 V_w を出力素子CUの電源側からPDPに供給していたため、出力素子CDにはリセット電圧に対応した電圧定格の高い素子を用いる必要があった。これに対して、図10の第4実施例のサステイン回路では、電圧 V_w' を出力素子CDの基準電圧側から供給するため、出力素子CDにかかる電圧を小さくできる。よって、出力素子CDとして電圧定格が低く、チップサイズが小さい低コストの素子を使用できる。

【0056】

また、図10の回路では、図3において使用した容量C7、抵抗R1、ダイオードD6を削除している。図4に示した第1実施例のプリドライブ回路を用いることにより、電力回収出力素子LDを駆動するゲートパルス、LDの基準電圧（電圧 V_p ）を基準としたパルスにレベルシフトできる。このため、容量C7、抵抗R1、ダイオードD6の削除が可能になる。図2に示した従来のプリドライブ回路を用いた場合、ローサイド基準電圧端子はIC内でGNDに接続されているため、容量C7、抵抗R1、ダイオードD6からなるレベルシフト回路が必要となる。図4に示した第1実施例のプリドライブ回路を用いることにより、このようなレベルシフト回路を削除できる効果がある。

【0057】

図11は、本発明の第5実施例のプラズマディスプレイ装置のサステイン回路の構成を示す。第5実施例のサステイン回路は、第1実施例のプリドライブ回路を使用したサステ

イン回路の別の例である。第5実施例のサステイン回路では、サステイン回路の電源電圧として、電圧 $V_s/2$ と $-V_s/2$ の2電圧を利用する。図11の回路において、CUをオンすることにより $V_s/2$ をPDPに供給し、CDをオンすることにより $-V_s/2$ をPDPに供給する。この際、CDの基準電圧は、 $-V_s/2$ となる。図11の回路では、プリドライブ回路の入力端子に供給する信号を、電圧 $-V_s/2$ を基準とした信号に変換するため、入力レベルシフト回路51-54を使用している。また、図11の回路では、図10で使用した容量C5とC6を削除し、電力回収用電圧 V_{p2} として、GND電圧を利用している。サステイン動作時には、スイッチSW5がオンとなり、電圧 V_p はGND電圧となる。また、リセット期間には、スイッチSW5がオフとなり、スイッチSW1、SW4がオンとなる。この結果、CUを介してPDPにリセット電圧 V_w が供給されるのと同時に、LDの基準電圧端子に電圧 V_w2 が供給される。スイッチSW4、SW5を使用して、電圧 V_w2 をLDの基準電圧端子に供給することにより、出力素子LDにかかる電圧を低減することができ、LDに電圧定格が低い（チップサイズが小さい低コストの）素子を利用することができる。このスイッチSW4、SW5を使用して、LDの電圧定格を低くする構成については、特願2002-141845号に開示されている。

【0058】

図11に示した第5実施例の回路では、プリドライブ回路として図4に示した回路を用いている。従来のプリドライブ回路では、ローレベル基準電圧が、入力側の基準電圧と接続されているため、LDの基準電圧を入力側の基準電圧より高くすることができない。これに対して、図4に示したプリドライブ回路を適用することにより、LDの基準電圧を入力側の基準電圧 $-V_s/2$ より高くすることができる。

【0059】

なお、入力レベルシフト回路は、第1実施例のプリドライブ回路と一緒にIC内に形成してもよい。

【0060】

図11に示したように、サステイン電圧として、 $V_s/2$ と $-V_s/2$ を使用したサステイン回路では、電力回収用の容量C5とC6を削除できる。また、スイッチSW4とSW5を使用することにより、LDに電圧定格の小さい素子を使用できる。

【0061】

図12は、入力レベルシフト回路の構成例を示す図である。図示のように、この回路は、トランジスタTr3を抵抗R5とR6を介して入力電源電圧5Vと $-V_s/2$ の間に接続した回路である。入力レベルシフト回路については広く知られているので、ここでは詳しい説明を省略する。

【0062】

図13は、本発明の第6実施例のプラズマディスプレイ装置のサステイン回路の構成を示す。第6実施例のサステイン回路は、第5実施例のサステイン回路において、リセット電圧源を出力素子CDの基準電圧側に接続する点が異なる。リセット電圧源を出力素子CDの基準電圧側に接続する構成の利点は、第4実施例で説明した通りである。

【0063】

図14は、本発明の第7実施例のプリドライブ回路の構成を示す図である。第7実施例のプリドライブ回路は、4つの駆動系を有し、4入力及び4出力を有する点が特徴である。各駆動系は同一の回路構成で、第1実施例のプリドライブ回路の各駆動系と同じ構成を有する。従って、図5の(A)から(C)で説明した原理により、各回路における入出力遅延時間（立ち上がり時刻の差、立ち下がり時刻の差）の差分を小さくすることができる。

【0064】

図15は、本発明の第8実施例のプラズマディスプレイ装置のサステイン回路の構成を示す。図示のように、第8実施例のサステイン回路は、図3の従来のサステイン回路において、出力素子CU、CD、LU、LDを駆動するプリドライブ回路に第7実施例のプリドライブ回路を使用して実現した点が異なる。第7実施例のプリドライブ回路を使用する

ことにより、出力素子CU、CD、LU、LDを1個のプリドライブ回路で駆動することができる。従って、出力素子CUとCDのオン・オフのタイミングのずれによる破壊や、出力素子LUとLDのオンタイミングのずれによる電力回収動作の異常を防止することができる。特に、4駆動系をICに内蔵した場合には、LUとCU、LDとCDのオンするタイミングの差をより高精度に調整することができる。従って、電力回収動作をより高精度に行うことができる。また、図15には示していないが、図10のように入力端子の前端に入出力遅延時間調整回路47-50を設ける場合、調整範囲をより小さくして入出力遅延時間のより高精度な設定が可能となる。

【0065】

図16は、本発明の第9実施例のプリドライブ回路の構成を示す図である。第9実施例のプリドライブ回路は、図4の第1実施例のプリドライブ回路において、入力端子の直後にシュミットトリガ回路84と85を設けた点が異なる。シュミットトリガ回路84と85の電源電圧は、入力増幅回路41及び44と異なる電圧が必要となる場合もあり、第9実施例ではプリドライブ回路内に定電圧回路83を設け、この定電圧回路83によって入力増幅回路41及び44の電源電圧V_{II}1からシュミットトリガ回路84と85の電源電圧を生成している。シュミットトリガ回路84と85の電源電圧は、別途電圧入力端子を設けて入力してもよいが、図16に示したようにプリドライブ回路内に定電圧回路83を内蔵することによって、入力端子を省略できる効果がある。また、定電圧回路83を内蔵したプリドライブ回路をIC内に形成することにより、回路規模も小さくできる。また、電源電圧が入力増幅回路41及び44と異なるシュミットトリガ回路以外の波形処理回路などを用いる場合でも、定電圧回路をプリドライブ回路内に設けることにより、入力端子の省略や回路規模の縮小を図ることができる。

【0066】

図16のように、シュミットトリガ回路をプリドライブ回路内に設けることにより、入力電圧にノイズが含まれている場合でも、ノイズを除去することができ、出力端子に接続される出力素子を適切に駆動することができる効果がある。

【0067】

図17は、本発明の第10実施例のプリドライブ回路の構成を示す図である。第10実施例のプリドライブ回路は、ローレベル基準電圧が負電圧である場合に使用するプリドライブ回路である。図示のように、第10実施例のプリドライブ回路は、第1及び第2入力増幅回路131、132、第1及び第2ローレベルシフト回路133、134、第1及び第2波形処理回路135、136、第1及び第2ハイレベルシフト回路137、138、及び第1及び第2出力増幅回路139、140が設けられており、同一構成の駆動系を2系統有する。言い換えれば、図4の第1実施例のプリドライブ回路における各駆動系において、入力増幅回路とハイレベルシフト回路の間に、ローレベルシフト回路と波形処理回路を設けたことを特徴とする。

【0068】

第1及び第2ローレベルシフト回路133、134は、第1及び第2入力増幅回路131、132のそれぞれの出力信号を負基準電圧を基準とした信号へシフトする。第1及び第2波形処理回路135、136は、負電圧基準電圧COM入力する負基準電圧入力端子115と負電圧基準電圧COMを基準に生成された負電源電圧V_cを入力する負電源電圧入力端子116とに接続され、第1及び第2ローレベルシフト回路133、134の各出力信号を処理する。

【0069】

第10実施例のプリドライブ回路は、第1実施例の構成に加えてローレベルシフト回路と波形処理回路も有するので、図5の(A)から(C)で説明したように、ローレベルシフト回路と波形処理回路を別に設けた場合に比べて、2つの駆動系の入出力遅延時間の差を小さくできる。

【0070】

図18は、第10実施例の第1入力増幅回路131、第1ローレベルシフト回路133

及び第1波形処理回路135の具体的な構成を示す図であり、第2入力増幅回路132、第2ローレベルシフト回路134及び第2波形処理回路136も同様の構成を有する。図示のように、第1入力増幅回路131はトランジスタ T_{r10} 、 T_{r11} 、抵抗 $R_{10} \sim R_{14}$ で構成されたカレントミラー回路であり、入力信号 I_N から抵抗 R_{10} を介して得られる T_{r10} のベース電圧と、電源電圧 V_I を抵抗 R_{13} と R_{14} によって分圧することにより得られる電圧 V_{ref} との差電圧に応じて、トランジスタ T_{r11} のコレクタ端子に電圧 V_{11} を発生させる。

【0071】

第1ローレベルシフト回路133は、トランジスタ T_{r12} と、抵抗 $R_{15} \sim R_{17}$ で構成され、第1入力増幅回路131から出力される電圧 V_{11} が抵抗 R_{15} を介してトランジスタ T_{r12} のベース端子に供給され、トランジスタ T_{r12} のコレクタ電流が電圧 V_{11} に応じて変化し、抵抗 R_{17} の両端に発生する電圧($V_{17} - V_{COM}$)を変化させる。

【0072】

第1波形処理回路135は、容量 C_{17} とシュミットトリガ回路 S_1 で構成される。トランジスタ T_{r12} の出力インピーダンス及び抵抗 R_{17} の合成抵抗と、容量 C_{17} により積分回路が形成される。この積分回路により、抵抗 R_{17} の両端に発生するノイズ成分を低減できる。また、シュミットトリガ回路 S_1 により、抵抗 R_{17} の両端の電圧の立ち上がり時における閾値と、抵抗 R_{17} の両端の電圧が低下する時における閾値との間にヒステリシスを持たせることができる。この結果、抵抗 R_{17} の両端に生じるノイズによる誤動作の発生を低減できる。

【0073】

図19は、本発明の第11実施例のPDP装置のサステイン回路の構成を示す図であり、サステイン電圧が $V_s/2$ と $-V_s/2$ であるサステイン回路を第10実施例のプリドライブ回路で実現したものである。図示のように、図11に示した第5実施例のサステイン回路において、入出力遅延時間調整回路47-50と入力レベルシフト回路51-54を除き、第10実施例のプリドライブ回路を使用している。第5実施例のサステイン回路に比べて、レベルシフト回路がIC内に設けられているので、入出力遅延時間の差を一層小さくできる。他の点については、入出力遅延時間調整回路を設けていない点以外は第5実施例のサステイン回路とほぼ同じであるので、これ以上の説明を省略する。

【0074】

図20は、本発明の第12実施例のPDP装置のサステイン回路の構成を示す図であり、第11実施例のサステイン回路において、入出力遅延時間調整回路47-50を設けた構成を有する。ここで、入力増幅回路131と132の閾値電圧は、例えば、図18において抵抗 R_{13} と R_{14} の抵抗値を等しくすることなどにより、入力増幅回路の電源電圧 V_I の略 $1/2$ に設定されている。これにより、入出力遅延時間調整回路47-50で生じるパルス幅の変化を低減できる。この原理については、特願2003-106839号に詳しく記載されている。

【0075】

図21は、本発明の第13実施例のPDP装置のサステイン回路の構成を示す図である。第13実施例のサステイン回路は、第12実施例のサステイン回路において、 SW_1 を除き、リセット用電圧 V_w を、スイッチ SW_2 を介して第2のスイッチ素子 CD のソース端子に重畳している点が異なる。 SW_2 がオンの時には、 SW_6 はオフしている。この動作については、図13の第6実施例とほぼ同じであるので、これ以上の説明は省略する。

【0076】

図22は、本発明の第14実施例のPDP装置のサステイン回路の構成を示す図である。第14実施例のサステイン回路は、第13実施例のサステイン回路において、 SW_4 と SW_5 を付加した点が異なる。この構成で、第5及び第6実施例と同様に、リセット期間において、LDのソース端子に電圧 V_{w2} を印加している。 SW_4 がオンする期間、 SW_5 はオフさせる。この結果、リセット期間において、LDのドレインとソース間にかかる

電圧を小さくでき、LDに電圧定格の小さな素子を利用できる。

【0077】

図23は、本発明の第15実施例のプリドライブ回路の構成を示す図である。第15実施例のプリドライブ回路は、図17に示した第10実施例のプリドライブ回路が2入力、2出力であるのに対して、4入力、4出力である点が異なる。この構成により、4系統の入出力遅延時間の差を小さくできる。

【0078】

図24は、本発明の第16実施例のPDP装置のサステイン回路の構成を示す図であり、サステイン電圧が $V_s/2$ と $-V_s/2$ であるサステイン回路を第15実施例のプリドライブ回路で実現したものである。第16実施例のサステイン回路では、素子CU、CD、LU、LDのゲートに供給するパルスを同一IC内に構成された回路により形成することができるので、4系統の入出力遅延時間のばらつきを小さくできる。他の点は第11実施例と同じであるので、説明を省略する。また、第15実施例のプリドライブ回路は、第12-14実施例にも同様に適用可能である。

【0079】

図25は、本発明の第17実施例のプリドライブ回路の構成を示す図である。第17実施例のプリドライブ回路は、図17に示した第10実施例のプリドライブ回路において、同時オン防止回路190を設けた点が異なる。同時オン防止回路190は、論理回路で実現され、第1及び第2波形処理回路135、136の出力を受け、出力電圧OUT1とOUT2が同時にアクティブ状態にならないように処理して、出力を第1及び第2ハイレベルシフト回路137、138に出力する。

【0080】

図26は、同時オン防止回路190の動作を説明する図である。図の左側に示すように、入力電圧信号IN1とIN2が同時にアクティブにならない場合には、すなわち、一方がオン状態からオフ状態に変化した後、他方がオフ状態からオン状態に変化する場合には、そのまま信号を出力する。図の右側に示すように、入力電圧信号IN1とIN2が同時にアクティブになる場合には、すなわち、一方がオン状態からオフ状態に変化する前に、他方がオフ状態からオン状態に変化する場合には、一方がオン状態からオフ状態に変化した後他方がオフ状態からオン状態に変化するようにする。

【0081】

同時オン防止回路190を設けることにより、ノイズなどにより、CUとCD又はLUとLDが同時にオンするような入力電圧信号IN1とIN2が入力されたり、プリドライブ回路内部の動作がそのような状態が生じた場合でも、CUとCD又はLUとLDが同時にオンすることを確実に防止できる。これにより、電力の増加や破壊などを防止して信頼性を向上させることが可能になる。

【0082】

(付記1) 入力電圧端子に入力された入力電圧を増幅する入力増幅回路と、前記入力増幅回路の出力する信号レベルをシフトするハイレベルシフト回路と、前記ハイレベルシフト回路の出力するシフト信号を増幅する出力増幅回路とを有する駆動系を複数備え、

各駆動系は、同一の構成を有することを特徴とするプリドライブ回路。(1)

(付記2) 前記複数の駆動系の前記入力増幅回路の駆動電源を供給する入力増幅回路用電源電圧端子と、前記複数の駆動系の前記出力増幅回路の駆動電源を供給する出力増幅回路用電源電圧端子とが別々に設けられている付記1に記載のプリドライブ回路。(2)

(付記3) 前記複数の駆動系のそれぞれの前記入力電圧端子と前記入力増幅回路の間に設けられた波形処理回路を備える付記2に記載のプリドライブ回路。(3)

(付記4) 前記波形処理回路用電源端子を備え、前記波形処理回路は前記波形処理回路用電源端子から電源電圧が供給される付記3に記載のプリドライブ回路。

【0083】

(付記5) 前記入力増幅回路用電源電圧端子に供給される電圧を変換して波形処理回

路用電源電圧を生成し、前記波形処理回路用電源電圧として供給する定電圧回路を備える付記 3 に記載のプリドライブ回路。

【0084】

(付記 6) 各駆動系は、前記入力増幅回路の出力信号のレベルを、負基準電圧を基準とした信号にシフトするローレベルシフト回路を有し、

前記ハイレベルシフト回路は、前記ローレベルシフト回路の出力信号をシフトする付記 1 に記載のプリドライブ回路。(4)

(付記 7) 各駆動系は、前記ローレベルシフト回路の出力信号の波形処理を行う波形処理回路を有し、

前記ハイレベルシフト回路は、前記波形処理回路の出力信号をシフトし、

前記波形処理回路は、前記負基準電圧を入力する負基準電圧入力端子と、前記負基準電圧に対する所定の電圧である負電源電圧を入力する負電源電圧入力端子とに接続される付記 6 に記載のプリドライブ回路。(5)

(付記 8) 前記複数の駆動系の前記入力増幅回路の駆動電源を供給する入力増幅回路用電源電圧端子と、前記複数の駆動系の前記出力増幅回路の駆動電源を供給する出力増幅回路用電源電圧端子と、前記負電源電圧入力端子が別々に設けられている付記 7 に記載のプリドライブ回路。(6)

(付記 9) 前記波形処理回路は、シュミットトリガ回路である付記 3 又は 7 に記載のプリドライブ回路。

【0085】

(付記 10) 前記波形処理回路は、ノイズを除去する積分回路を有する付記 7 に記載のプリドライブ回路。

【0086】

(付記 11) 前記入力増幅回路の閾値電圧は、当該入力増幅回路の電源電圧の略中間である付記 1 から 10 のいずれかに記載のプリドライブ回路。

【0087】

(付記 12) 前記複数の駆動系は、1 パッケージ内に設けられる付記 1 から 11 のいずれかに記載のプリドライブ回路。(7)

(付記 13) 前記複数の駆動系は、同一の半導体チップ上に形成された IC 内に設けられる付記 1 から 11 のいずれかに記載のプリドライブ回路。(8)

(付記 14) 2 つの前記駆動系を有する付記 1 から 5 のいずれかに記載のプリドライブ回路。(9)

(付記 15) 4 つの前記駆動系を有する付記 1 から 5 のいずれかに記載のプリドライブ回路。(10)

(付記 16) 2 つの前記駆動系を有する付記 7 から 10 のいずれかに記載のプリドライブ回路。(11)

(付記 17) 4 つの前記駆動系を有する付記 7 から 10 のいずれかに記載のプリドライブ回路。(12)

(付記 18) 前記複数の駆動系は 2 系統ずつ対になっており、

対の 2 つの駆動系の一方の出力がアクティブ状態の時には、他方の出力を強制的にノンアクティブ状態に維持する同時オン防止回路を有する付記 13 から 16 のいずれかに記載のプリドライブ回路。

【0088】

(付記 19) 付記 14 に記載のプリドライブ回路と、

前記複数の駆動系の一方の駆動系の前記出力増幅回路の出力に接続された第 1 のスイッチ素子と、

前記複数の駆動系の他方の駆動系の前記出力増幅回路の出力に接続された第 2 のスイッチ素子とを備え、

前記第 1 のスイッチ素子を介して容量性負荷にハイレベル電圧を供給し、

前記第 2 のスイッチ素子を介して前記容量性負荷にローレベル電圧を供給することを特

徴とする容量性負荷駆動回路。(13)

(付記 20) 付記 14 に記載のプリドライブ回路であって、第 1 と第 2 の 2 個のプリドライブ回路と、

前記第 1 のプリドライブ回路の前記複数の駆動系の一方の駆動系の前記出力増幅回路の出力に接続された第 1 のスイッチ素子と、

前記第 1 のプリドライブ回路の前記複数の駆動系の他方の駆動系の前記出力増幅回路の出力に接続された第 2 のスイッチ素子と、

前記第 2 のプリドライブ回路の前記複数の駆動系の一方の駆動系の前記出力増幅回路の出力に接続された第 3 のスイッチ素子と、

前記第 2 のプリドライブ回路の前記複数の駆動系の他方の駆動系の前記出力増幅回路の出力に接続された第 4 のスイッチ素子とを備え、

前記第 1 のスイッチ素子を介して容量性負荷にハイレベル電圧を供給し、

前記第 2 のスイッチ素子を介して前記容量性負荷にローレベル電圧を供給し、

前記第 3 のスイッチ素子と、該第 3 のスイッチ素子と直列に接続された第 1 のコイルを介して前記容量性負荷にハイレベル電圧を供給し、

前記第 4 のスイッチ素子と、該第 4 のスイッチ素子と直列に接続された第 2 のコイルを介して前記容量性負荷にローレベル電圧を供給することを特徴とする容量性負荷駆動回路。(14)

(付記 21) 付記 15 に記載のプリドライブ回路と、

前記プリドライブ回路の前記複数の駆動系の第 1 の駆動系の前記出力増幅回路の出力に接続された第 1 のスイッチ素子と、

前記プリドライブ回路の前記複数の駆動系の第 2 の駆動系の前記出力増幅回路の出力に接続された第 2 のスイッチ素子と、

前記プリドライブ回路の前記複数の駆動系の第 3 の駆動系の前記出力増幅回路の出力に接続された第 3 のスイッチ素子と、

前記プリドライブ回路の前記複数の駆動系の第 4 の駆動系の前記出力増幅回路の出力に接続された第 4 のスイッチ素子とを備え、

前記第 1 のスイッチ素子を介して容量性負荷にハイレベル電圧を供給し、

前記第 2 のスイッチ素子を介して前記容量性負荷にローレベル電圧を供給し、

前記第 3 のスイッチ素子と、該第 3 のスイッチ素子と直列に接続された第 1 のコイルを介して前記容量性負荷にハイレベル電圧を供給し、

前記第 4 のスイッチ素子と、該第 4 のスイッチ素子と直列に接続された第 2 のコイルを介して前記容量性負荷にローレベル電圧を供給することを特徴とする容量性負荷駆動回路。(15)

(付記 22) 付記 16 に記載のプリドライブ回路と、

前記複数の駆動系の一方の駆動系の前記出力増幅回路の出力に接続された第 1 のスイッチ素子と、

前記複数の駆動系の他方の駆動系の前記出力増幅回路の出力に接続された第 2 のスイッチ素子とを備え、

前記第 1 のスイッチ素子を介して容量性負荷にハイレベル電圧を供給し、

前記第 2 のスイッチ素子を介して前記容量性負荷にローレベル電圧を供給することを特徴とする容量性負荷駆動回路。(16)

(付記 23) 付記 16 に記載のプリドライブ回路であって、第 1 と第 2 の 2 個のプリドライブ回路と、

前記第 1 のプリドライブ回路の前記複数の駆動系の一方の駆動系の前記出力増幅回路の出力に接続された第 1 のスイッチ素子と、

前記第 1 のプリドライブ回路の前記複数の駆動系の他方の駆動系の前記出力増幅回路の出力に接続された第 2 のスイッチ素子と、

前記第 2 のプリドライブ回路の前記複数の駆動系の一方の駆動系の前記出力増幅回路の出力に接続された第 3 のスイッチ素子と、

前記第 2 のプリドライブ回路の前記複数の駆動系の他方の駆動系の前記出力増幅回路の出力に接続された第 4 のスイッチ素子とを備え、

前記第 1 のスイッチ素子を介して容量性負荷にハイレベル電圧を供給し、

前記第 2 のスイッチ素子を介して前記容量性負荷にローレベル電圧を供給し、

前記第 3 のスイッチ素子と、該第 3 のスイッチ素子と直列に接続された第 1 のコイルを介して前記容量性負荷にハイレベル電圧を供給し、

前記第 4 のスイッチ素子と、該第 4 のスイッチ素子と直列に接続された第 2 のコイルを介して前記容量性負荷にローレベル電圧を供給することを特徴とする容量性負荷駆動回路。
(17)

(付記 24) 付記 17 に記載のプリドライブ回路と、

前記プリドライブ回路の前記複数の駆動系の第 1 の駆動系の前記出力増幅回路の出力に接続された第 1 のスイッチ素子と、

前記プリドライブ回路の前記複数の駆動系の第 2 の駆動系の前記出力増幅回路の出力に接続された第 2 のスイッチ素子と、

前記プリドライブ回路の前記複数の駆動系の第 3 の駆動系の前記出力増幅回路の出力に接続された第 3 のスイッチ素子と、

前記プリドライブ回路の前記複数の駆動系の第 4 の駆動系の前記出力増幅回路の出力に接続された第 4 のスイッチ素子とを備え、

前記第 1 のスイッチ素子を介して容量性負荷にハイレベル電圧を供給し、

前記第 2 のスイッチ素子を介して前記容量性負荷にローレベル電圧を供給し、

前記第 3 のスイッチ素子と、該第 3 のスイッチ素子と直列に接続された第 1 のコイルを介して前記容量性負荷にハイレベル電圧を供給し、

前記第 4 のスイッチ素子と、該第 4 のスイッチ素子と直列に接続された第 2 のコイルを介して前記容量性負荷にローレベル電圧を供給することを特徴とする容量性負荷駆動回路。
(18)

(付記 25) 前記プリドライブ回路の前段又は後段に、信号の入出力時間を調整する遅延時間調整回路を備える付記 19 から 24 のいずれかに記載の容量性負荷駆動回路。
(19)

(付記 26) 前記第 3 のスイッチ素子の前記容量性負荷に接続される端子と異なる端子に、基準電圧とは異なる電圧を印加する付記 19 から 24 のいずれかに記載の容量性負荷駆動回路。

【0089】

(付記 27) 前記第 3 のスイッチ素子の前記容量性負荷に接続される端子と異なる端子に、前記ハイレベル電圧と前記ローレベル電圧の中間電圧以外の電圧を供給する付記 19 から 24 のいずれかに記載の容量性負荷駆動回路。

【0090】

(付記 28) 前記ハイレベル電圧は電源電圧であり、前記ローレベル電圧はグランド電圧である付記 19 から 24 のいずれかに記載の容量性負荷駆動回路。

【0091】

(付記 29) 前記ハイレベル電圧は正の電圧であり、前記ローレベル電圧は前記ハイレベル電圧と同じ絶対値で負の電圧である付記 19 から 24 のいずれかに記載の容量性負荷駆動回路。

【0092】

(付記 30) 前記プリドライブ回路の複数の入力電圧端子の前段に、グランド電圧を基準とした入力信号を、前記ローレベル電圧を基準とした信号にレベル変換する入力レベルシフト回路を備える付記 19 から 21 のいずれかに記載の容量性負荷駆動回路。

【0093】

(付記 31) 前記負基準電圧は、前記第 2 の出力素子に供給するローレベル電圧と同一である付記 22 から 24 のいずれかに記載の容量性負荷駆動回路。

【0094】

(付記 3 2) 前記負基準電圧は、前記第 2 の出力素子に供給するローレベル電圧と異なる付記 2 2 から 2 4 のいずれかに記載の容量性負荷駆動回路。

【0 0 9 5】

(付記 3 3) 複数の X 電極と、

該複数の X 電極に隣接して交互に配置され、前記複数の X 電極との間で放電を発生させる複数の Y 電極と、

前記複数の X 電極に放電電圧を印加する X 電極駆動回路と、

前記複数の Y 電極に放電電圧を印加する Y 電極駆動回路とを備えたプラズマディスプレイ装置において、

前記 X 電極駆動回路と前記 Y 電極駆動回路の少なくとも一方は、付記 1 9 から 3 2 のいずれかに記載の容量性負荷駆動回路であることを特徴とするプラズマディスプレイ装置。

(2 0)

(付記 3 4) 当該プラズマディスプレイ装置は、表示セルを略同一の状態にするためにリセットパルスを出力し、

前記容量性負荷駆動回路は、前記リセットパルス印加時に、前記第 2 の出力素子の端子に印加するローレベル電圧を上昇させる付記 3 3 に記載のプラズマディスプレイ装置。

【産業上の利用可能性】

【0 0 9 6】

本発明によれば、プリドライブ回路のハイレベル側とローレベル側の間で生じる入出力遅延時間の差を低減することができる。また、このプリドライブ回路を用いた容量性負荷駆動回路をプラズマディスプレイ装置に適用することにより、入出力遅延時間の差によって生じる素子破壊や消費電力の増加を防止できる。これにより、低消費電力で高信頼性のプラズマディスプレイ装置が実現できる。

【図面の簡単な説明】

【0 0 9 7】

【図 1】 プラズマディスプレイ装置の全体構成を示す図である。

【図 2】 従来のプリドライブ回路（パワートランジスタ駆動用 I C）を示す図である。

。

【図 3】 従来のプラズマディスプレイ装置のサステイン回路の構成を示す図である。

【図 4】 本発明の第 1 実施例のプリドライブ回路の構成を示す図である。

【図 5】 従来例と本発明の入出力遅延時間及びその差の分布を説明する図である。

【図 6】 第 1 実施例のプリドライブ回路のハイレベルシフト回路の具体的構成を示す図である。

【図 7】 本発明の第 2 実施例のサステイン回路の構成を示す図である。

【図 8】 本発明の第 3 実施例のサステイン回路の構成を示す図である。

【図 9】 入出力遅延時間調整回路の例を示す図である。

【図 1 0】 本発明の第 4 実施例のサステイン回路の構成を示す図である。

【図 1 1】 本発明の第 5 実施例のサステイン回路の構成を示す図である。

【図 1 2】 入力レベルシフト回路の構成例を示す図である。

【図 1 3】 本発明の第 6 実施例のサステイン回路の構成を示す図である。

【図 1 4】 本発明の第 7 実施例のプリドライブ回路の構成を示す図である。

【図 1 5】 本発明の第 8 実施例のサステイン回路の構成を示す図である。

【図 1 6】 本発明の第 9 実施例のプリドライブ回路の構成を示す図である。

【図 1 7】 本発明の第 1 0 実施例のプリドライブ回路の構成を示す図である。

【図 1 8】 第 1 0 実施例のプリドライブ回路の一部の具体的な回路構成を示す図である。

【図 1 9】 本発明の第 1 1 実施例のサステイン回路の構成を示す図である。

【図 2 0】 本発明の第 1 2 実施例のサステイン回路の構成を示す図である。

【図 2 1】 本発明の第 1 3 実施例のサステイン回路の構成を示す図である。

【図 2 2】 本発明の第 1 4 実施例のサステイン回路の構成を示す図である。

【図 2 3】本発明の第 1 5 実施例のプリドライブ回路の構成を示す図である。

【図 2 4】本発明の第 1 6 実施例のサステイン回路の構成を示す図である。

【図 2 5】本発明の第 1 7 実施例のプリドライブ回路の構成を示す図である。

【図 2 6】第 1 7 実施例のプリドライブ回路の同時オン防止回路の機能を説明する図である。

【符号の説明】

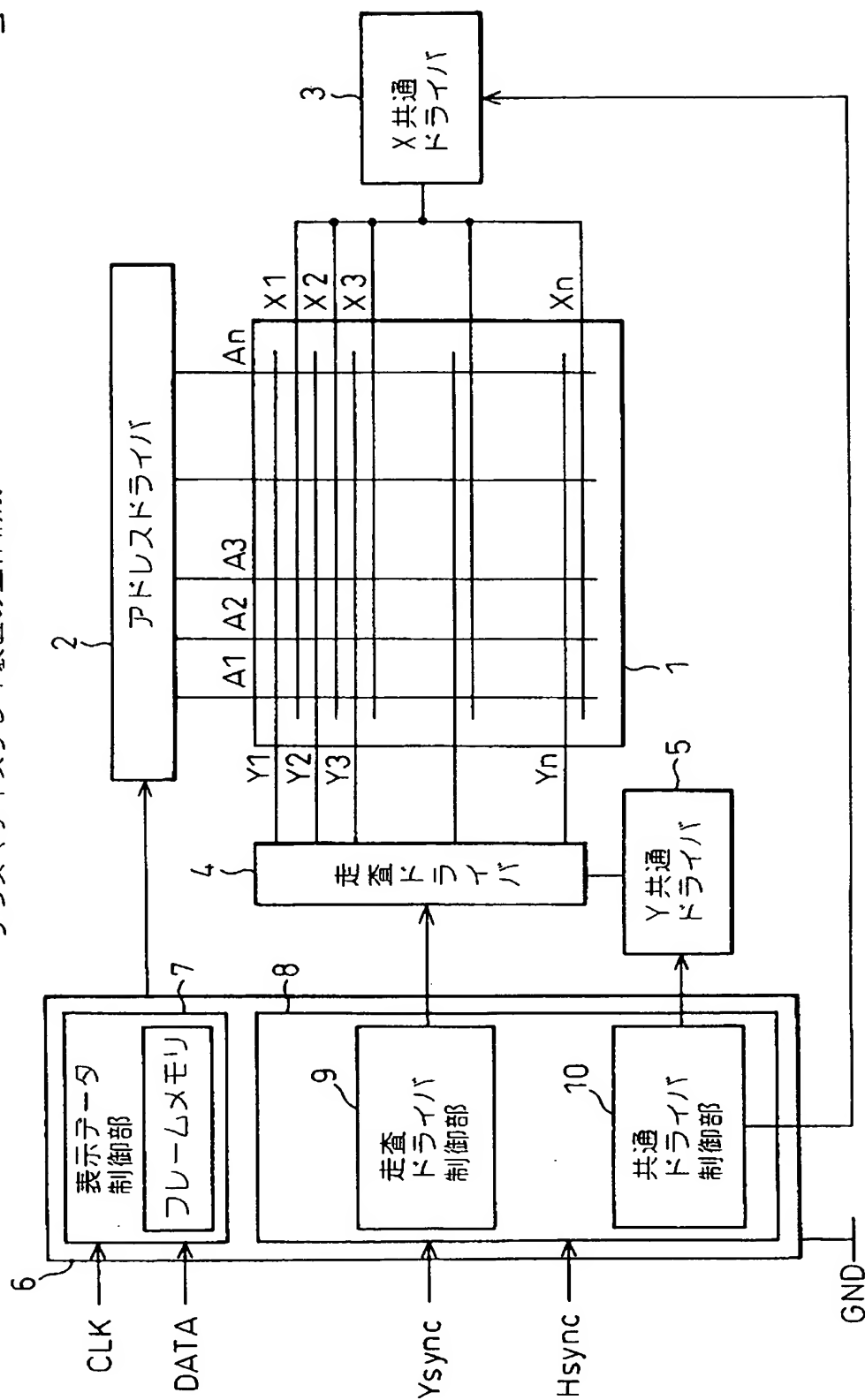
【 0 0 9 8 】

- 1 … プラズマディスプレイパネル
- 2 … アドレスドライバ
- 3 … X 共通ドライバ
- 4 … 走査ドライバ
- 5 … Y 共通ドライバ
- 8 … 駆動制御回路
- 3 1 … プリドライブ回路 (I C)
- 4 1 , 4 4 … 入力増幅回路
- 4 2 , 4 5 … ハイレベルシフト回路
- 4 3 , 4 6 … 出力増幅回路

【書類名】 図面
【図 1】

圖 1

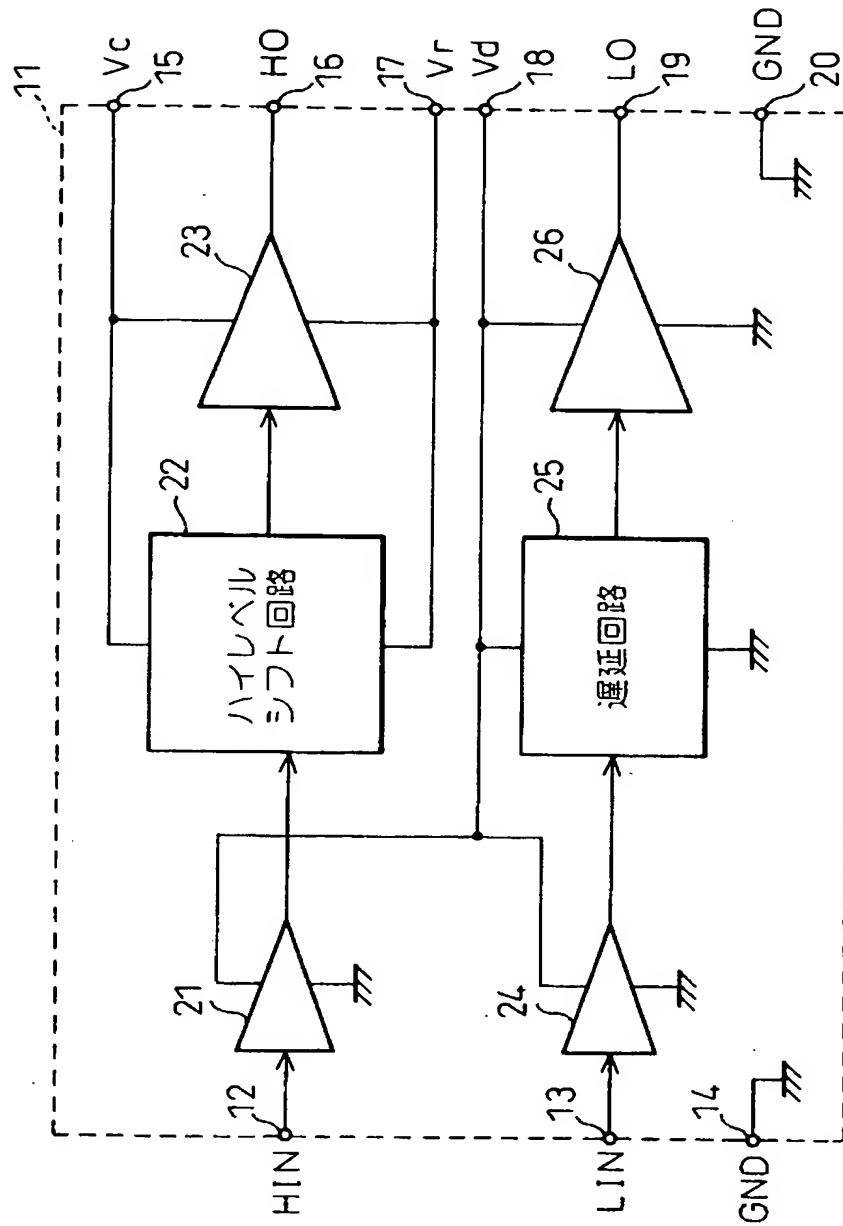
プラスマディスプレイ装置の全体構成



【図 2】

図 2

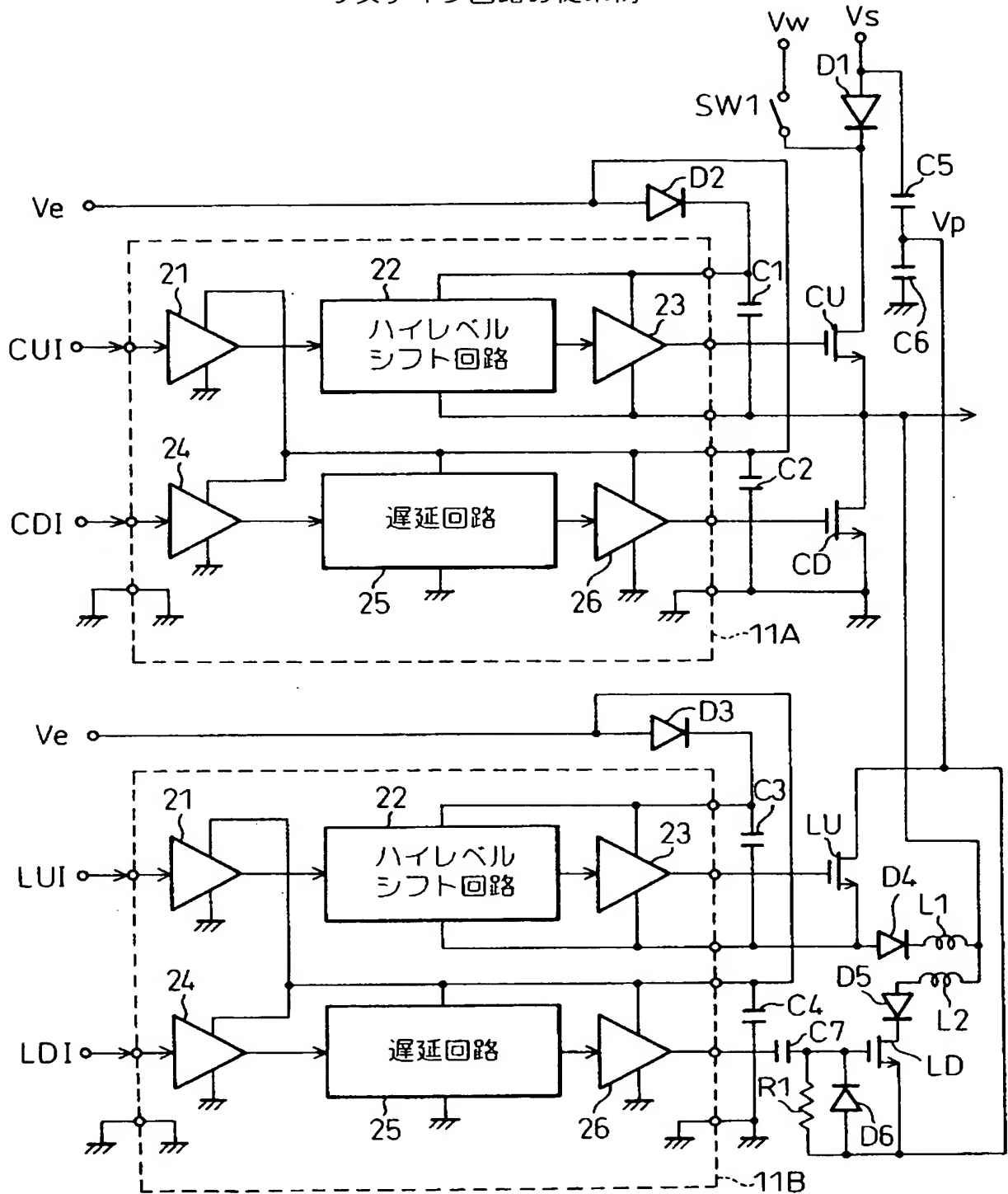
パワートランジスタ駆動用 IC の従来例



【図 3】

図 3

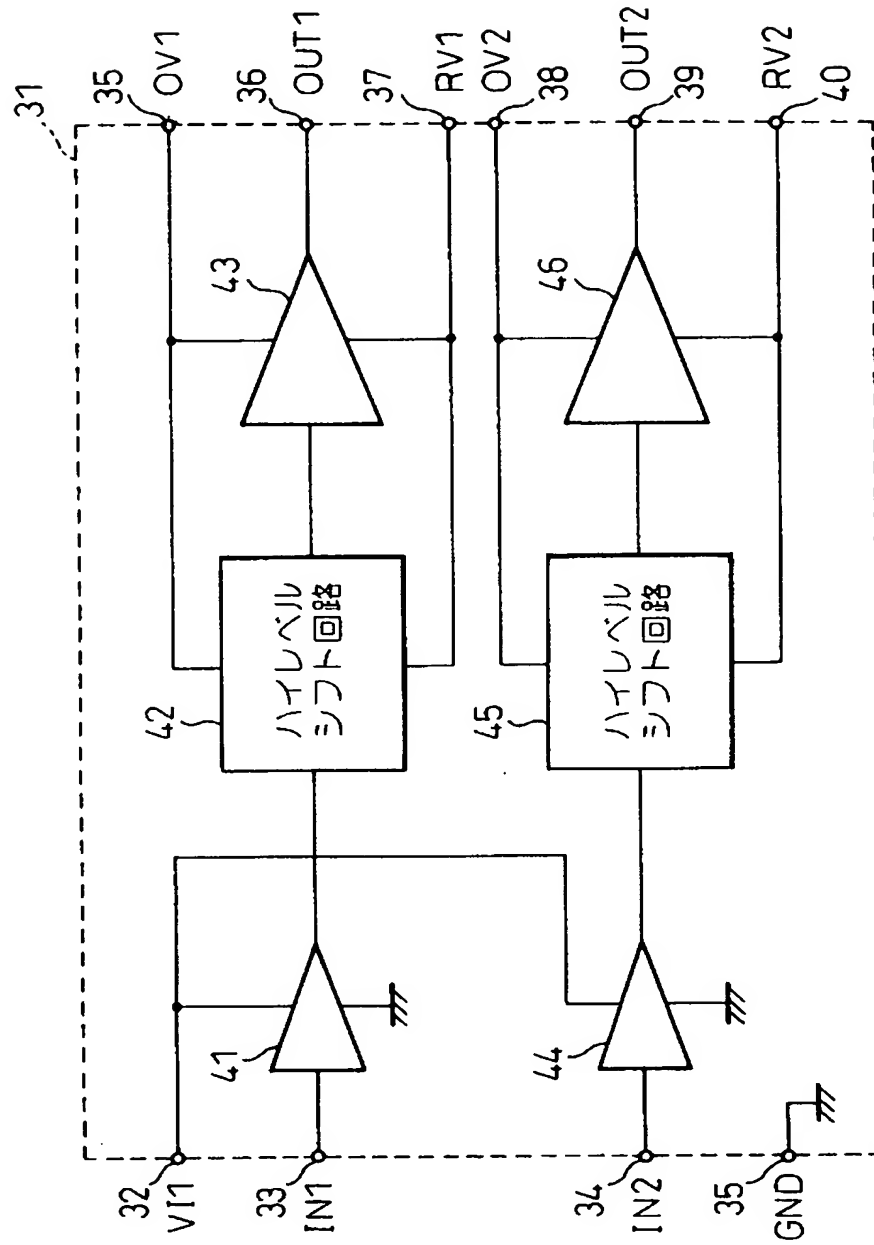
サステイン回路の従来例



【図 4】

図 4

本発明の第 1 実施例のブリッド回路

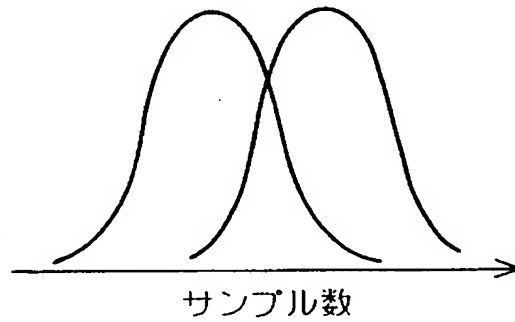
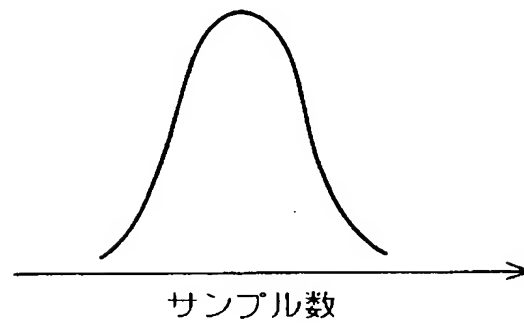
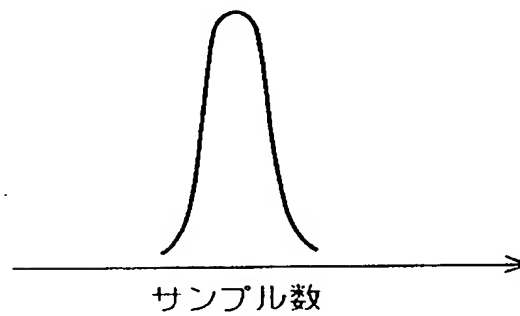


【図 5】

図 5

従来例と本発明の入出力遅延時間の分布

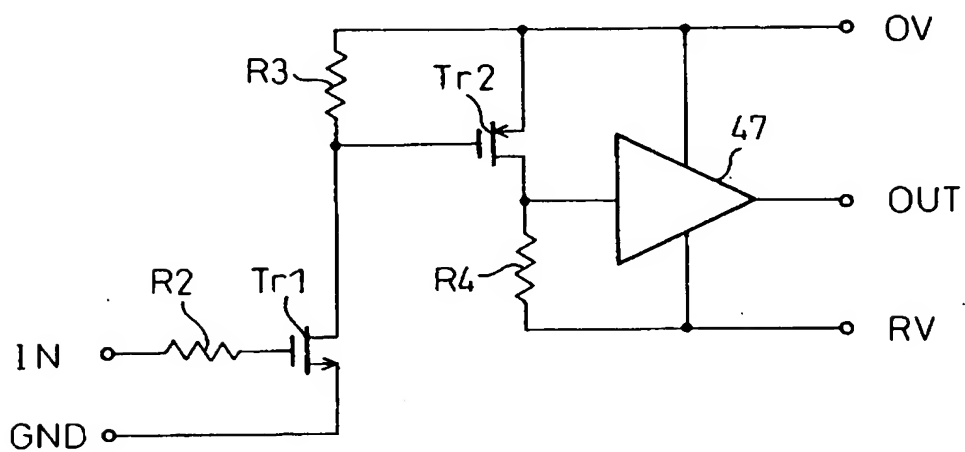
(A) 従来例

(B) 本発明
(変化時間)(C) 本発明
(変化時間差)

【図 6】

図 6

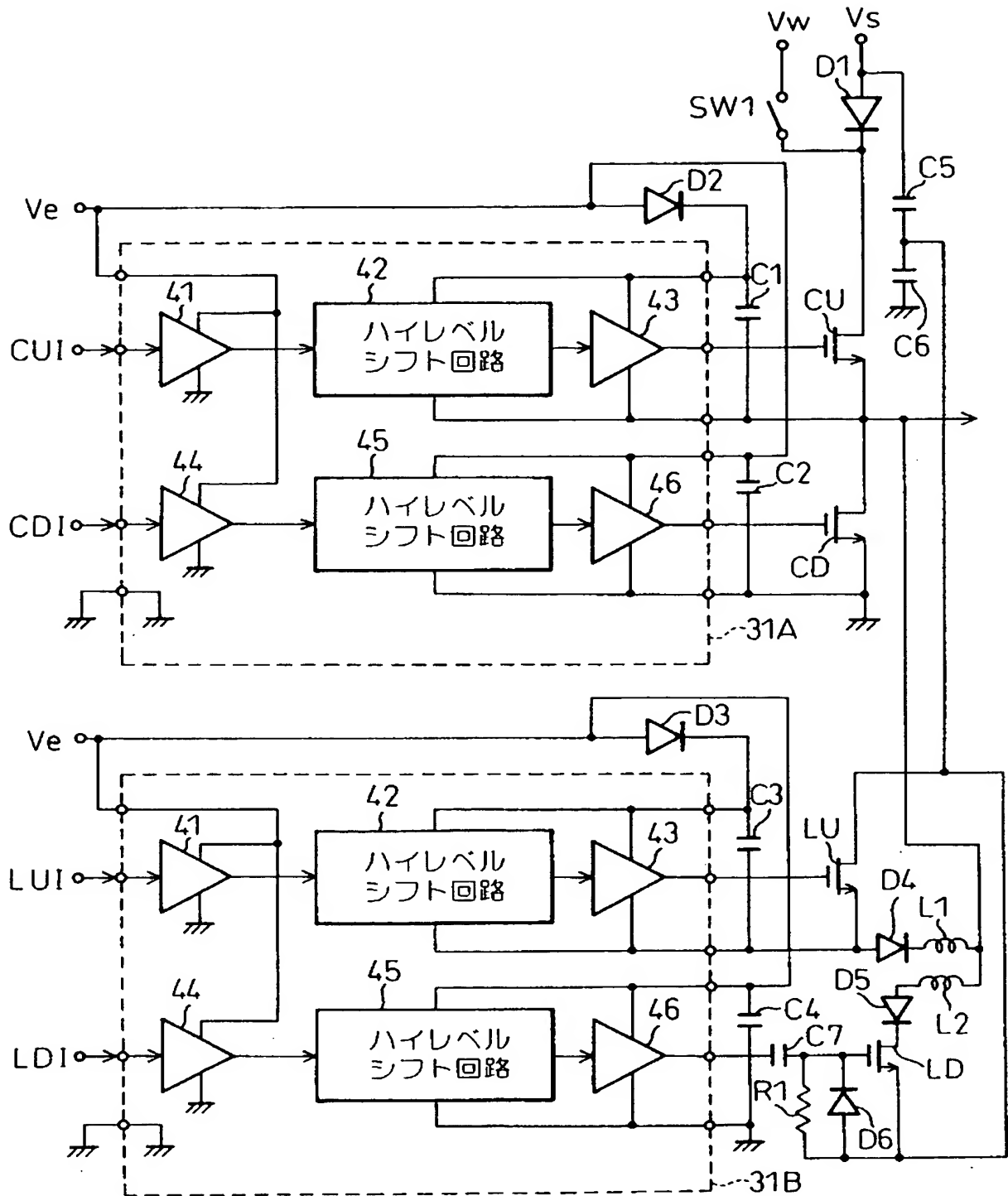
ハイレベルシフト回路の具体的構成例



【図 7】

図 7

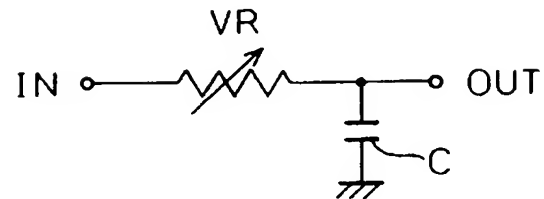
本発明の第 2 実施例のサステイン回路



【図 9】

図 9

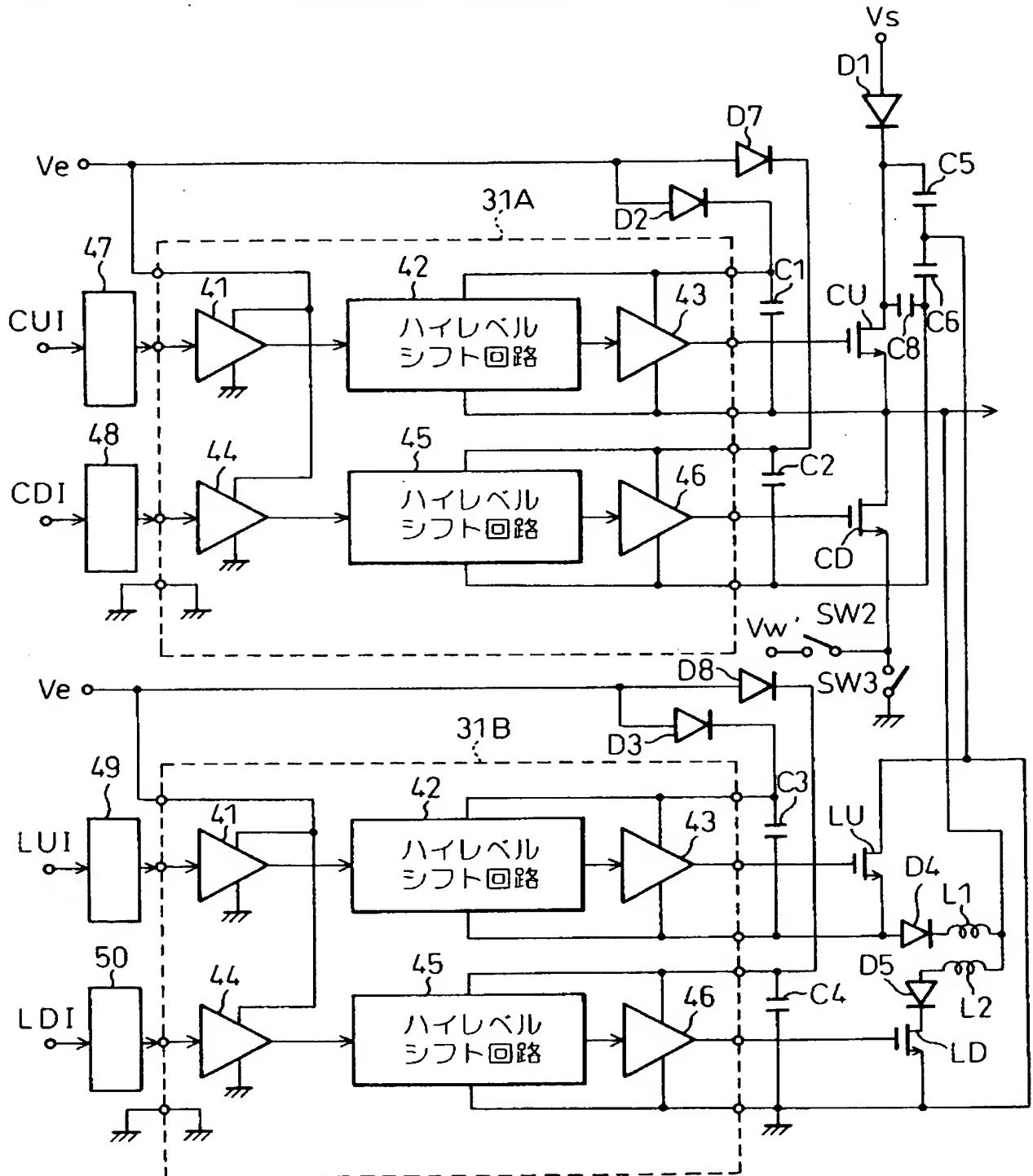
入出力遅延時間調整回路



【図 10】

図 10

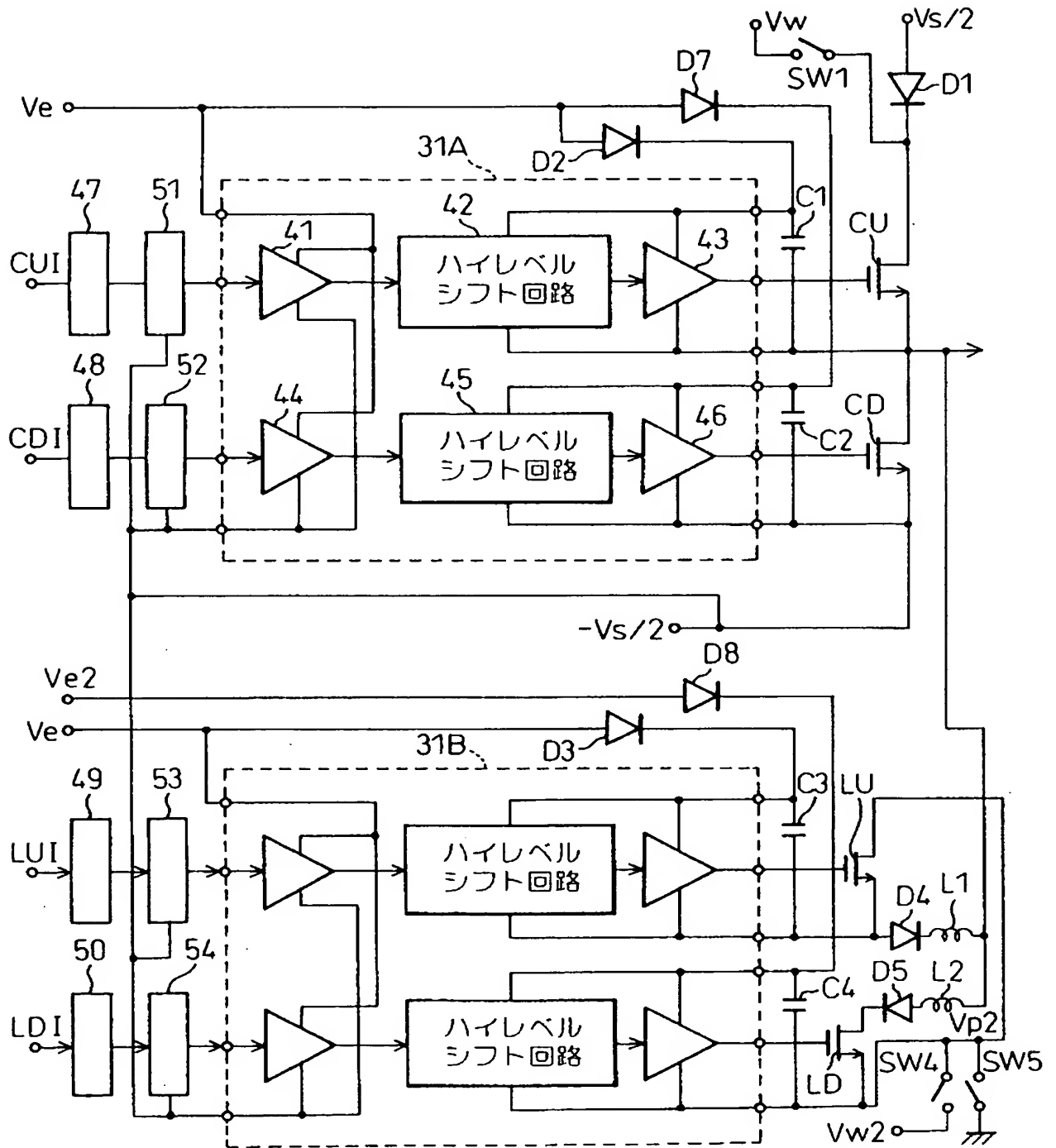
本発明の第 4 実施例のサステイン回路



【図 11】

図 11

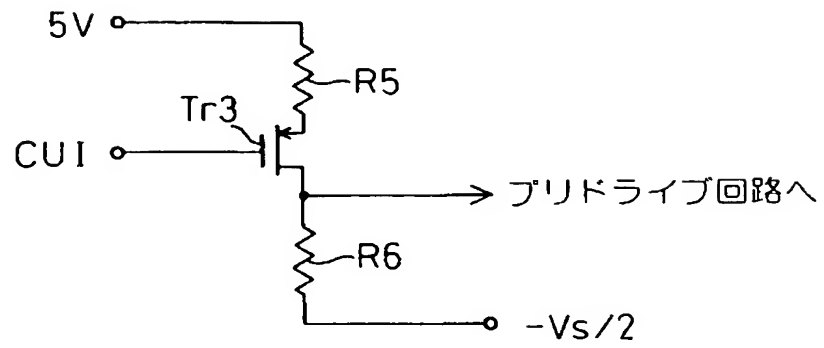
本発明の第 5 実施例のサステイン回路



【図 12】

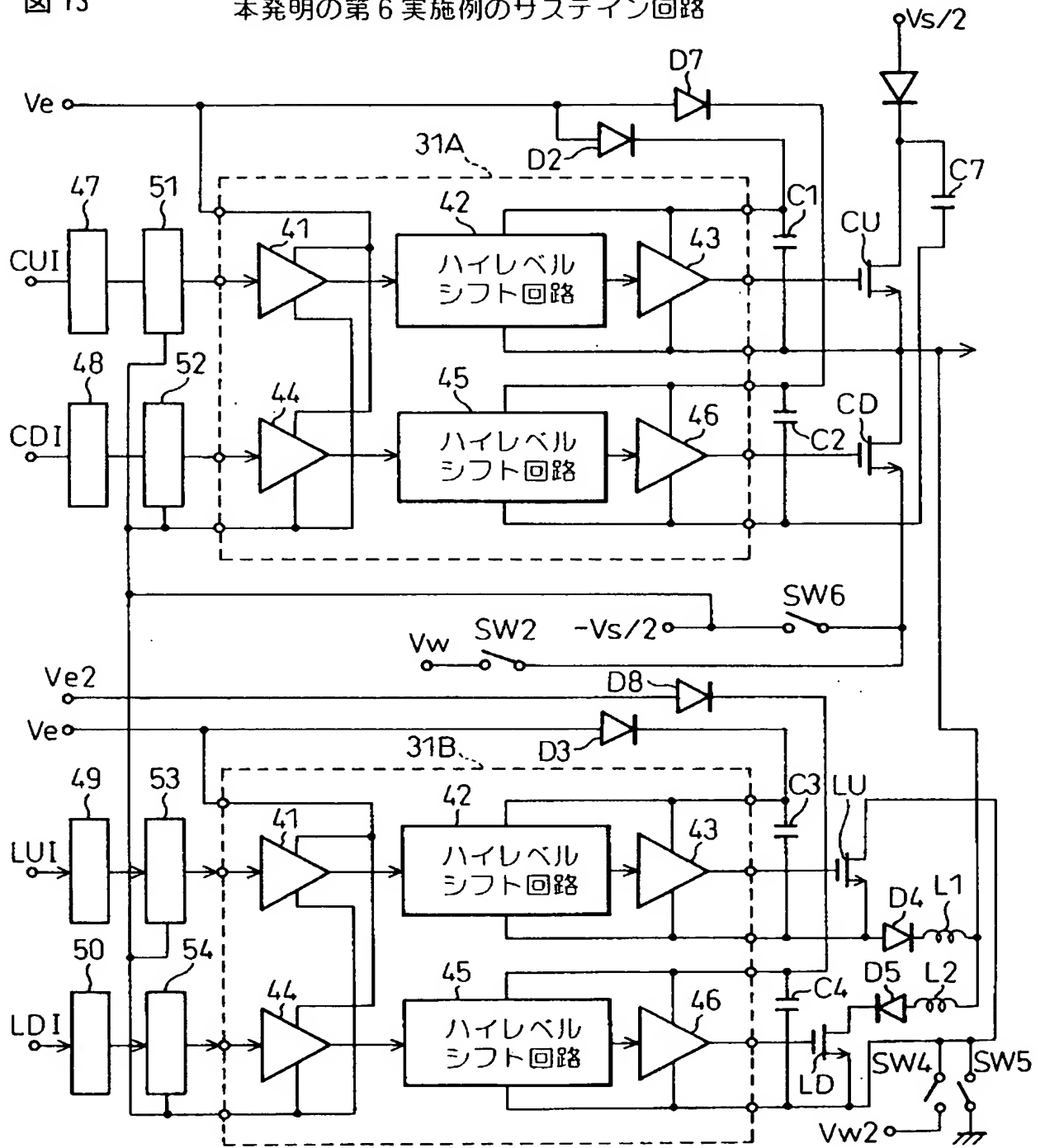
図 12

入力レベルシフト回路



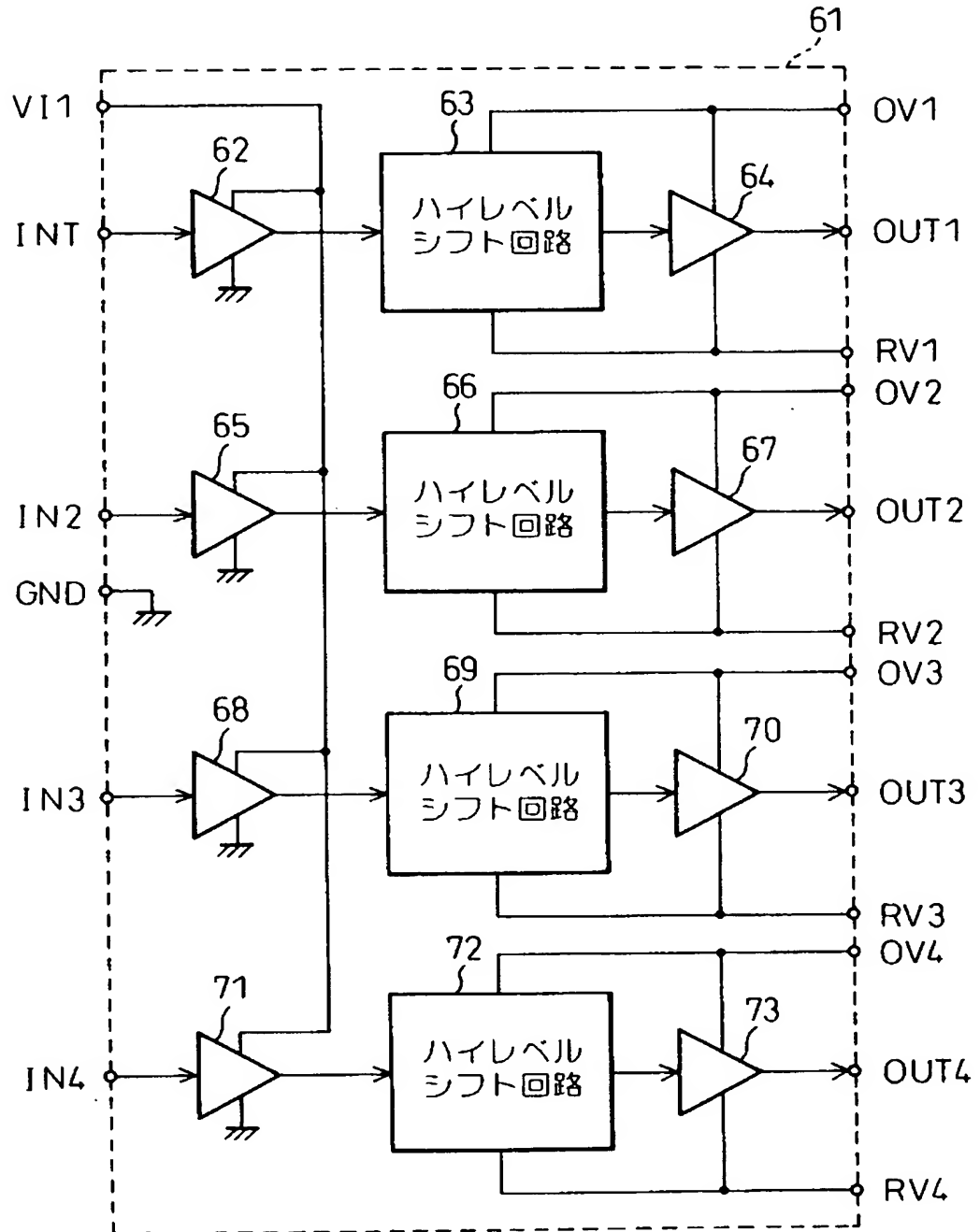
【図 13】

図 13 本発明の第 6 実施例のサステイン回路



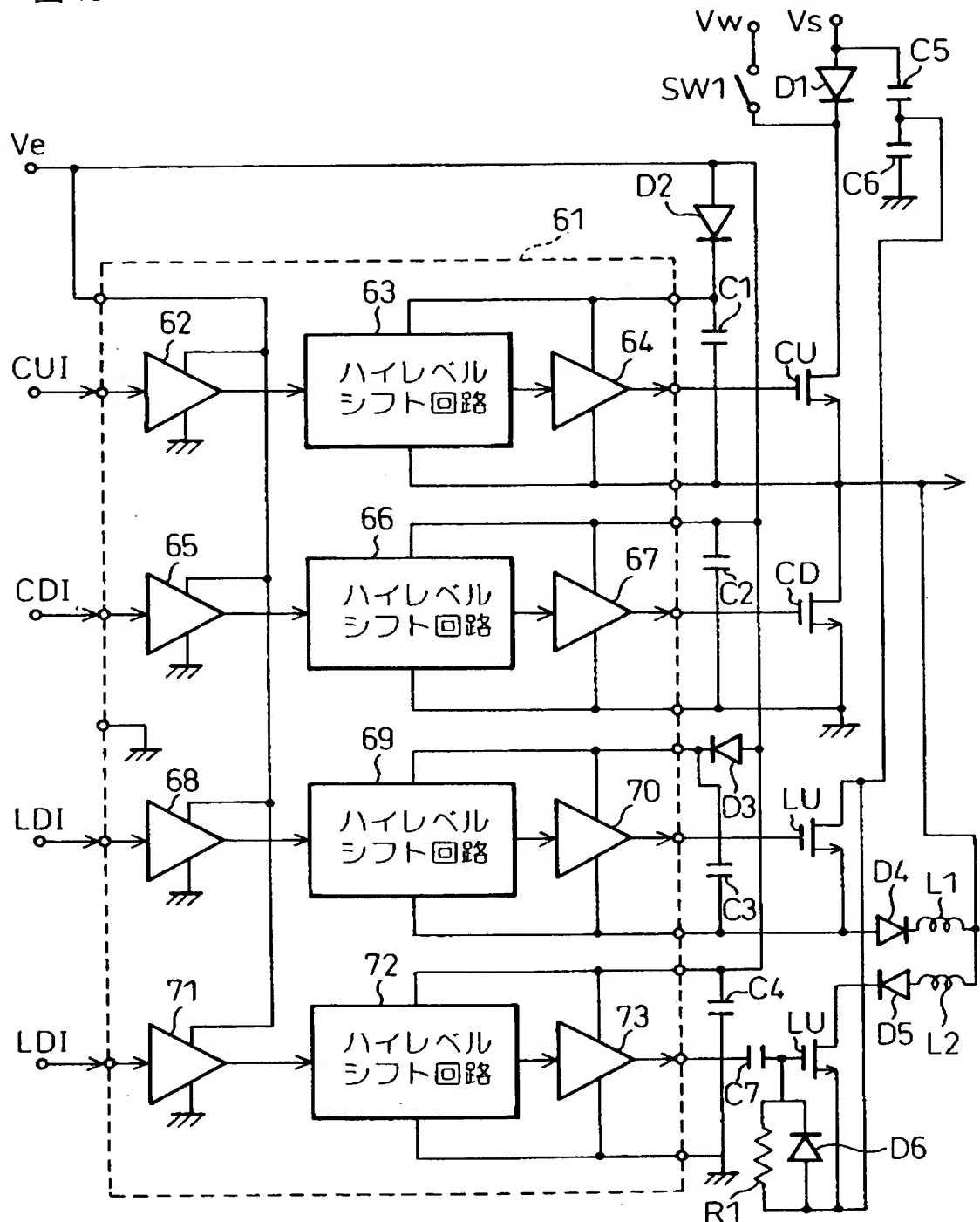
【図 14】

図14 本発明の第7実施例のブリドライブ回路



【図 15】

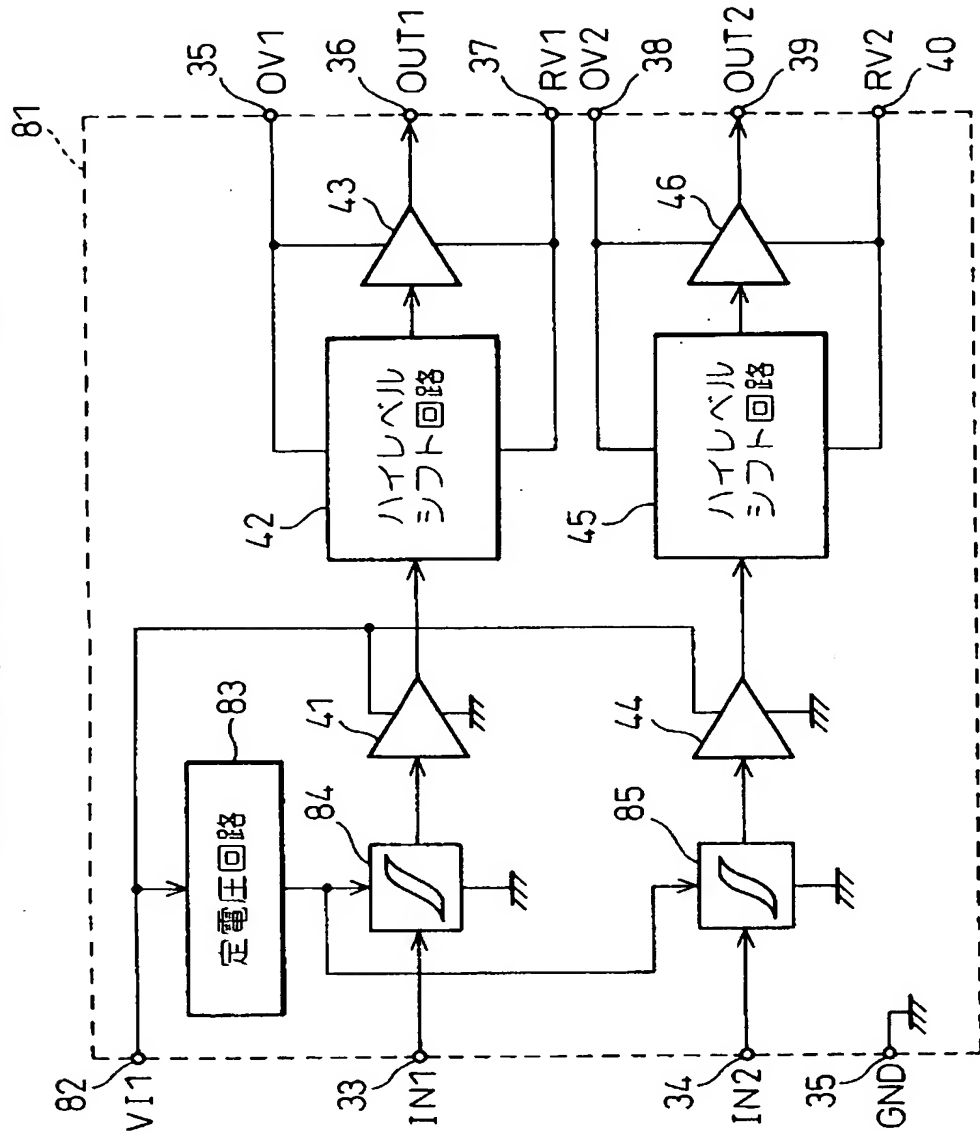
図 15 本発明の第 8 実施例のサステイン回路



【図 16】

図 16

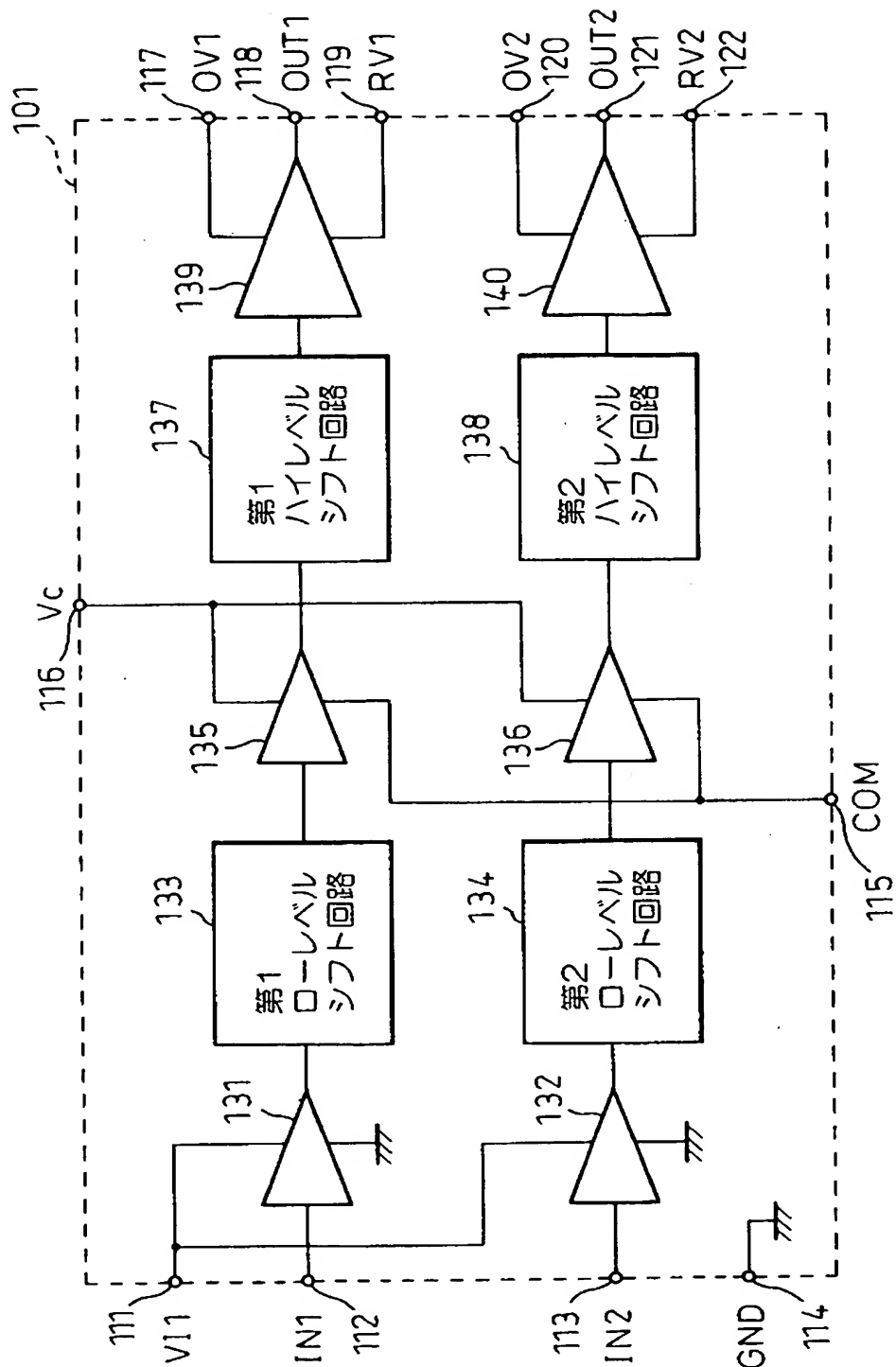
本発明の第 9 実施例のブリッド回路



【図 17】

図17

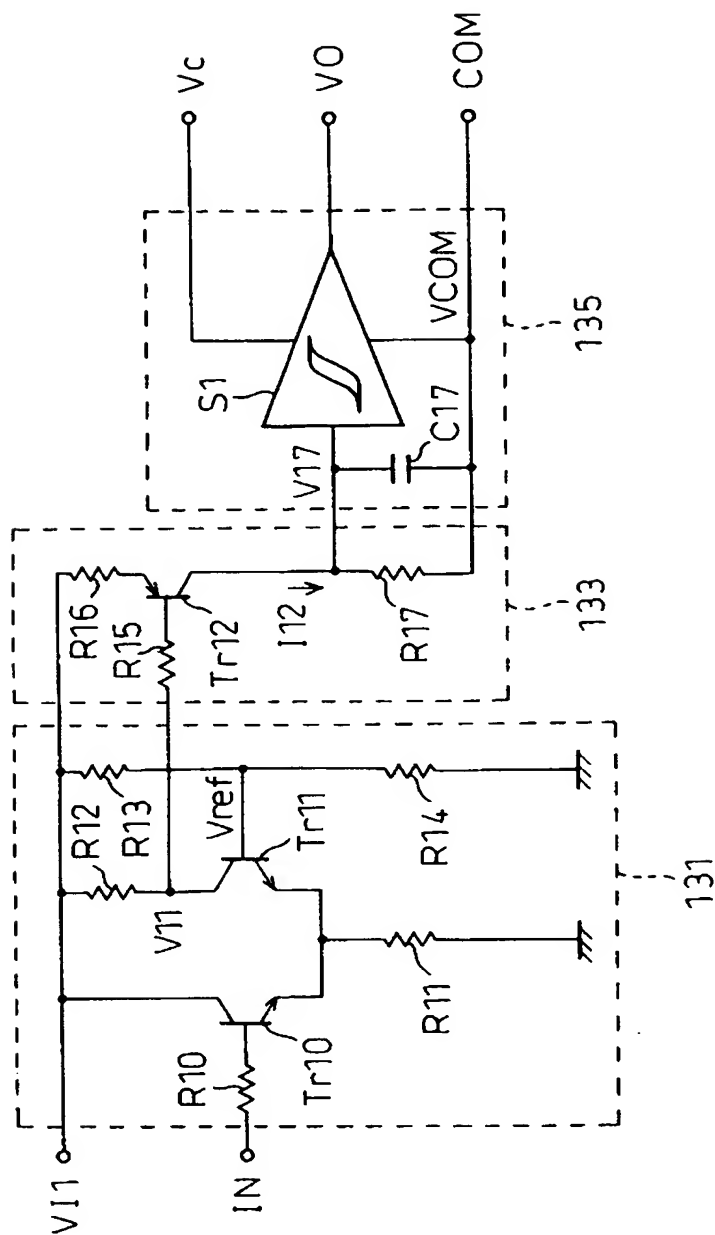
本発明の第10実施例のプリドライブ回路



【図 18】

図 18

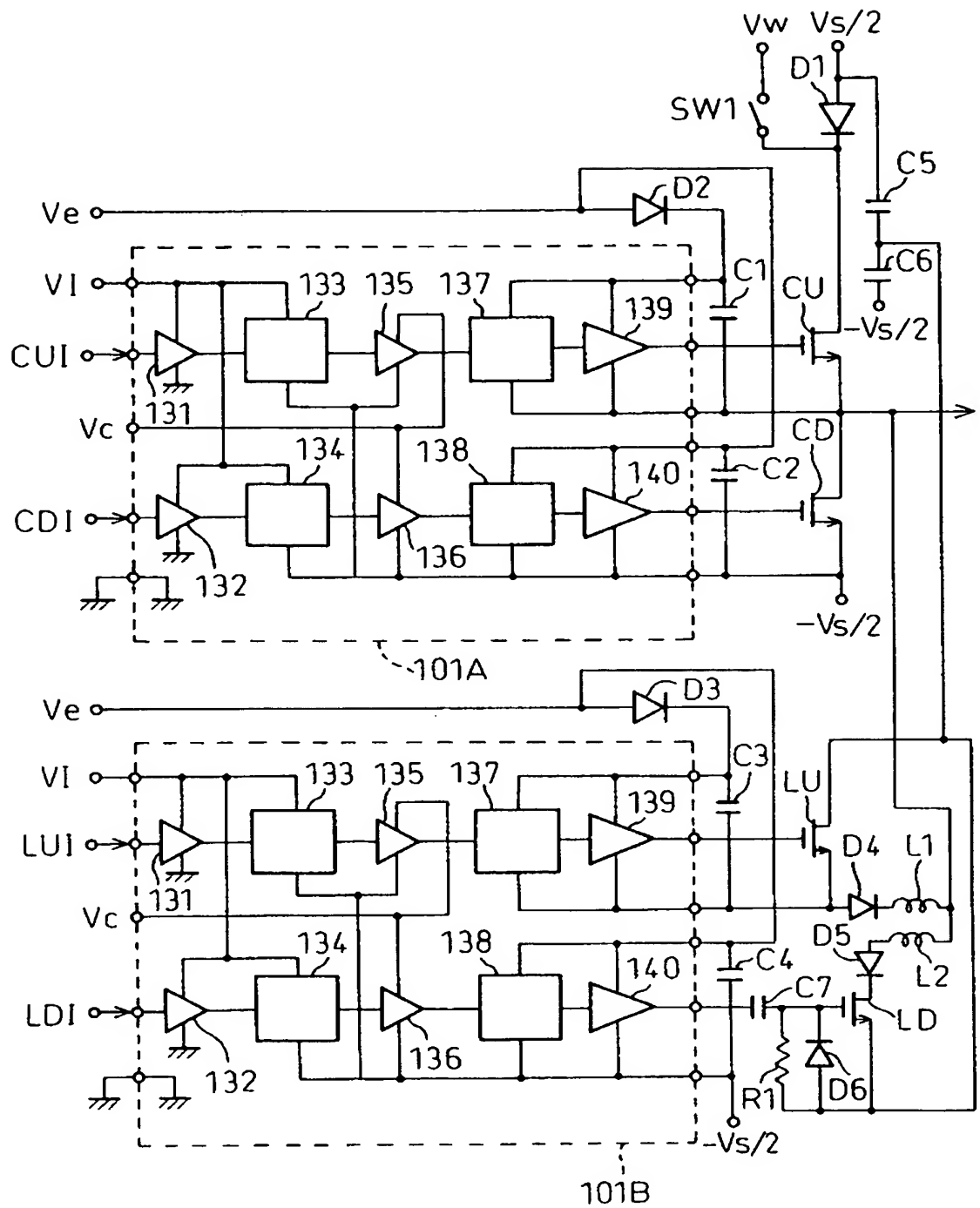
第10実施例の具体的回路構成



【図 19】

図 19

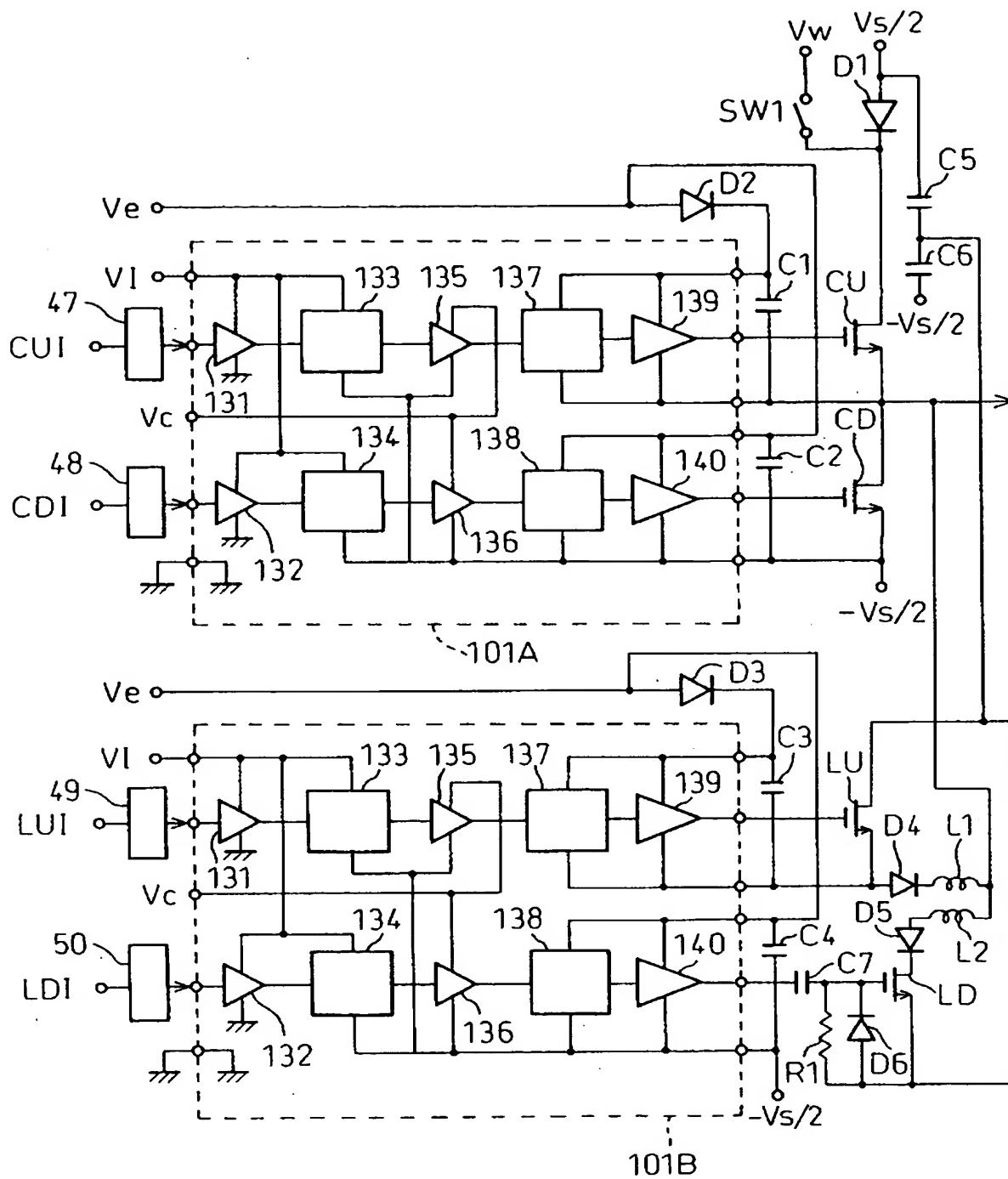
本発明の第11実施例のサステイン回路



【図 20】

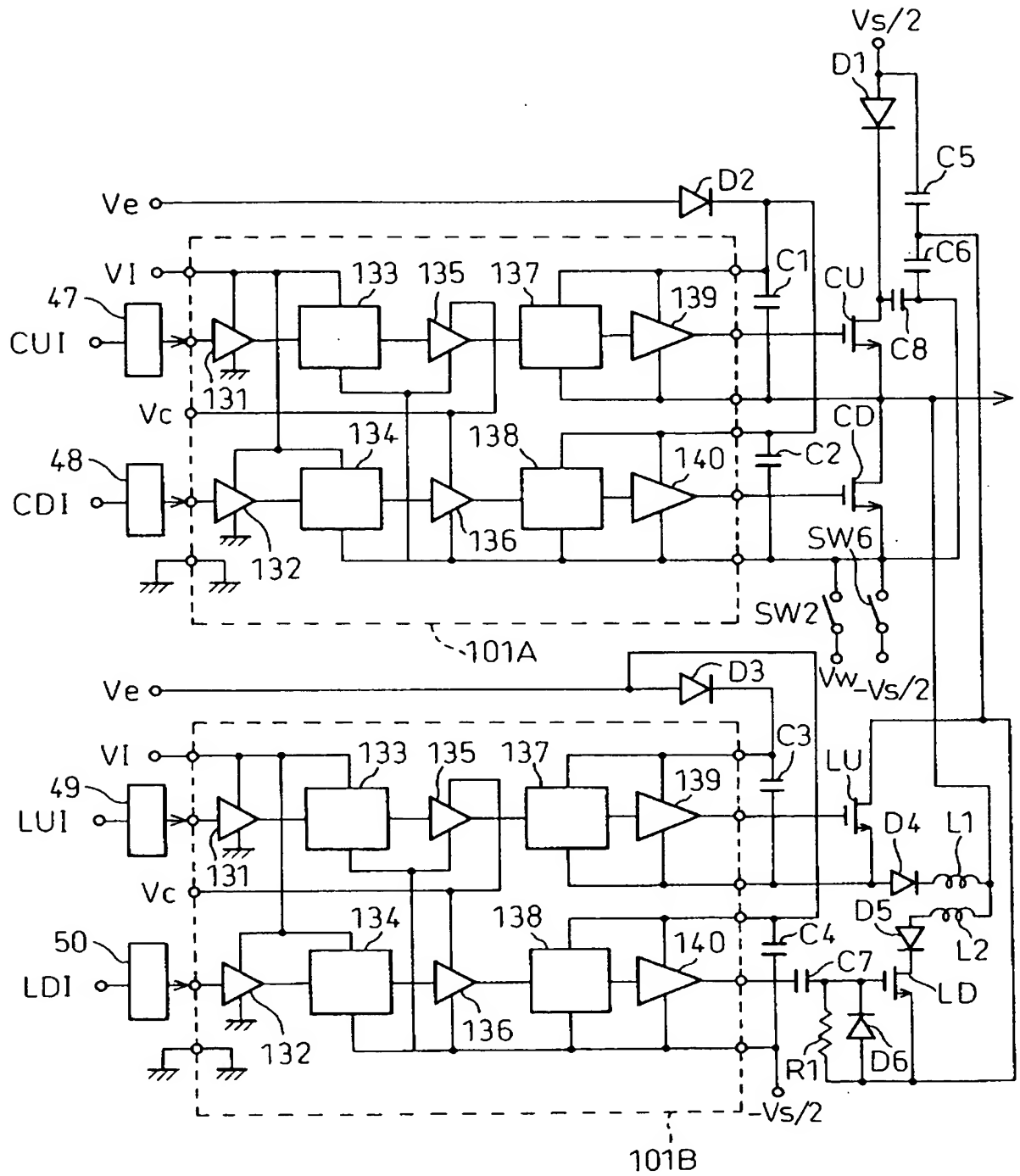
図 20

本発明の第12実施例のサステイン回路



【図 21】

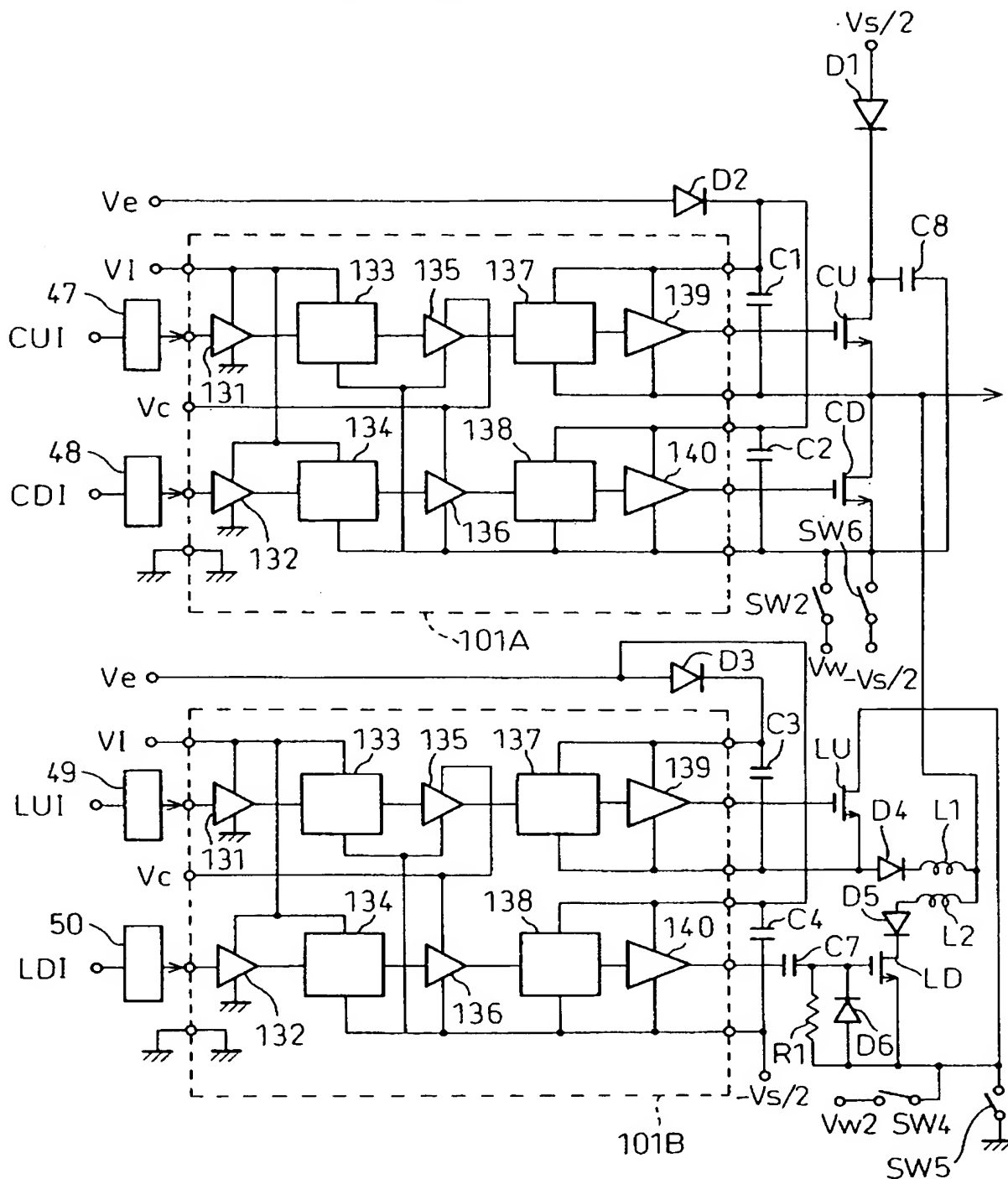
図 21 本発明の第13実施例のサステイン回路



【図 22】

図 22

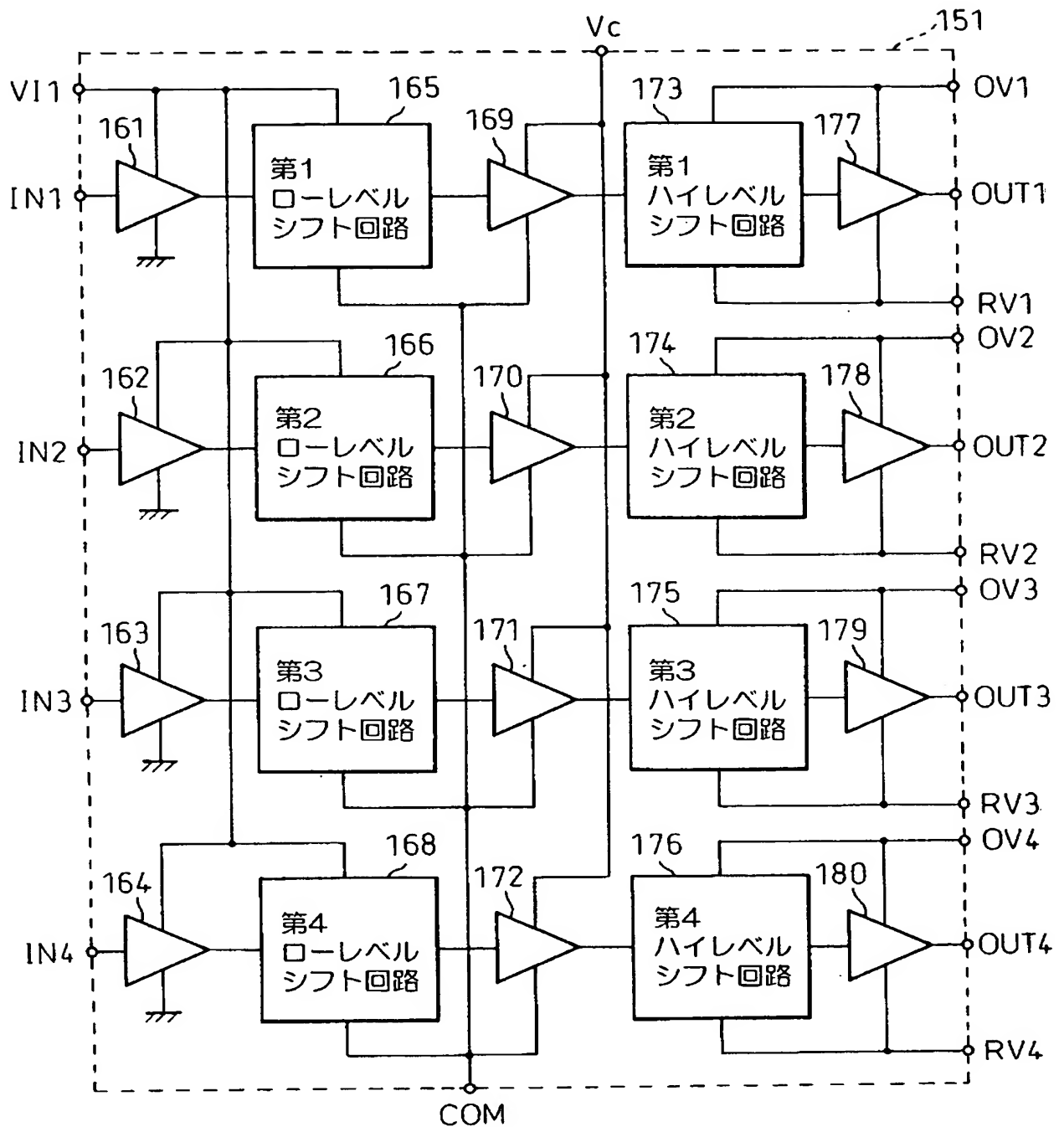
本発明の第14実施例のサステイン回路



【図 23】

図 23

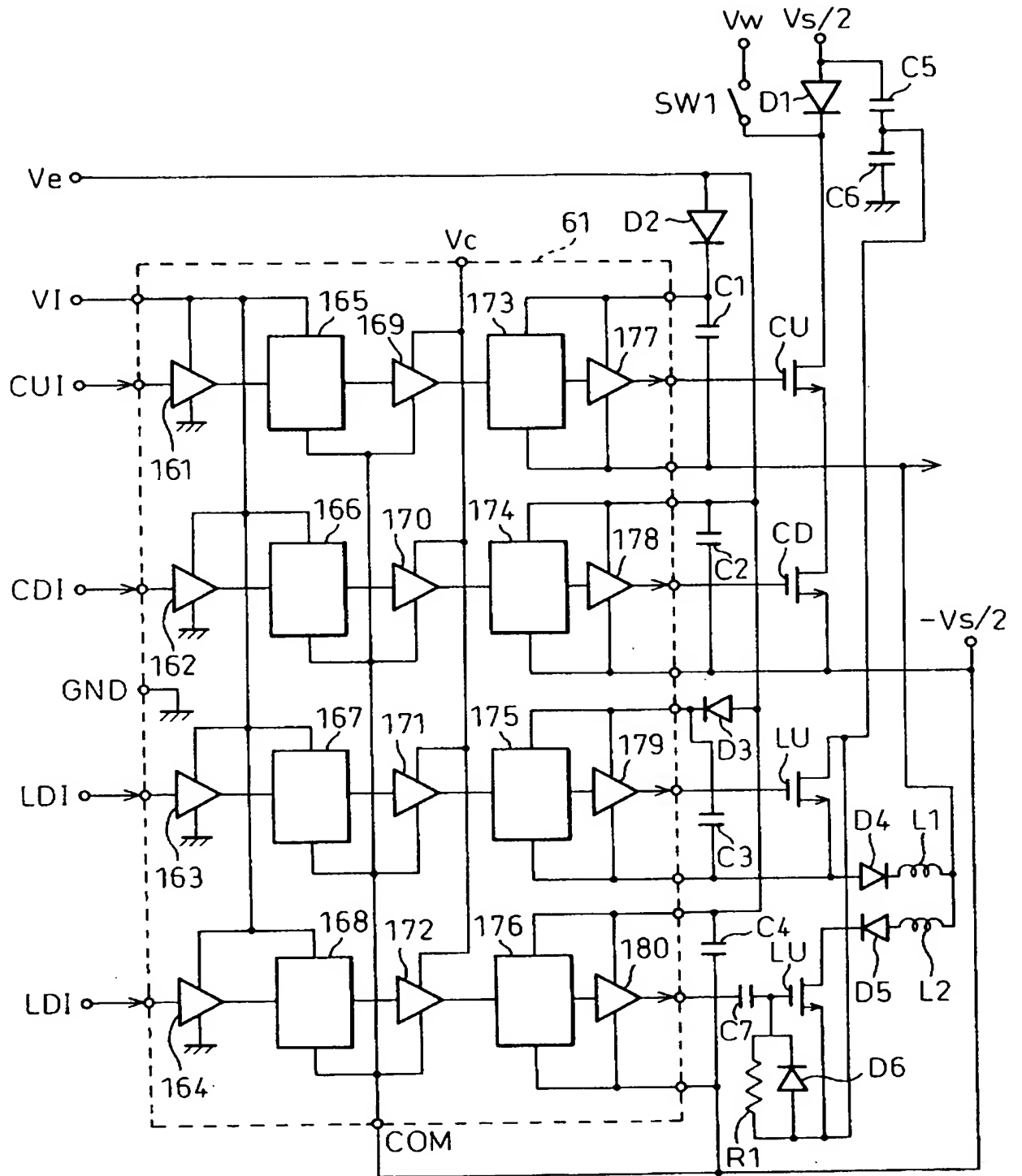
本発明の第15実施例のプリドライブ回路



【図 24】

図 24

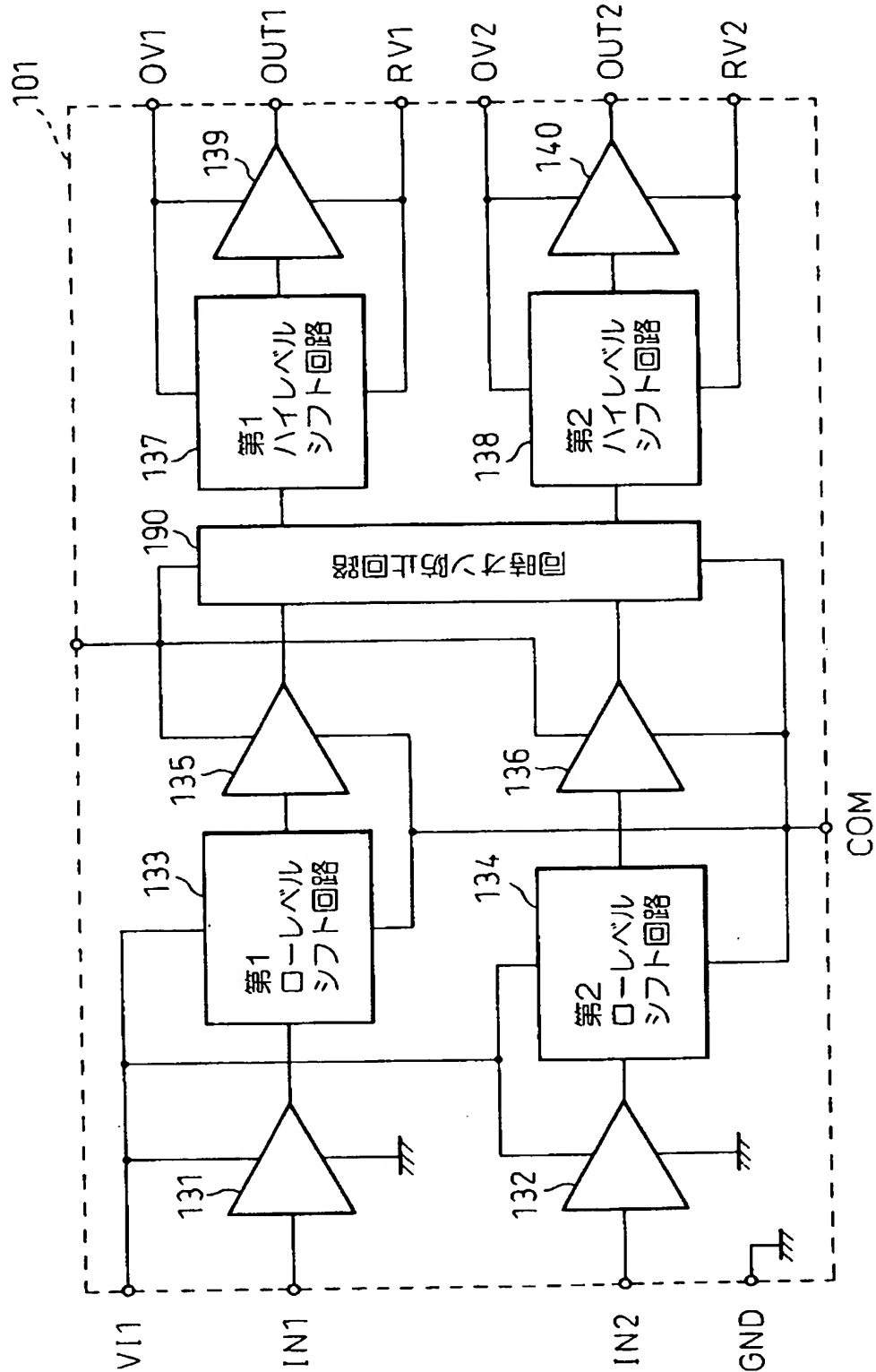
本発明の第16実施例のサステイン回路



【図 25】

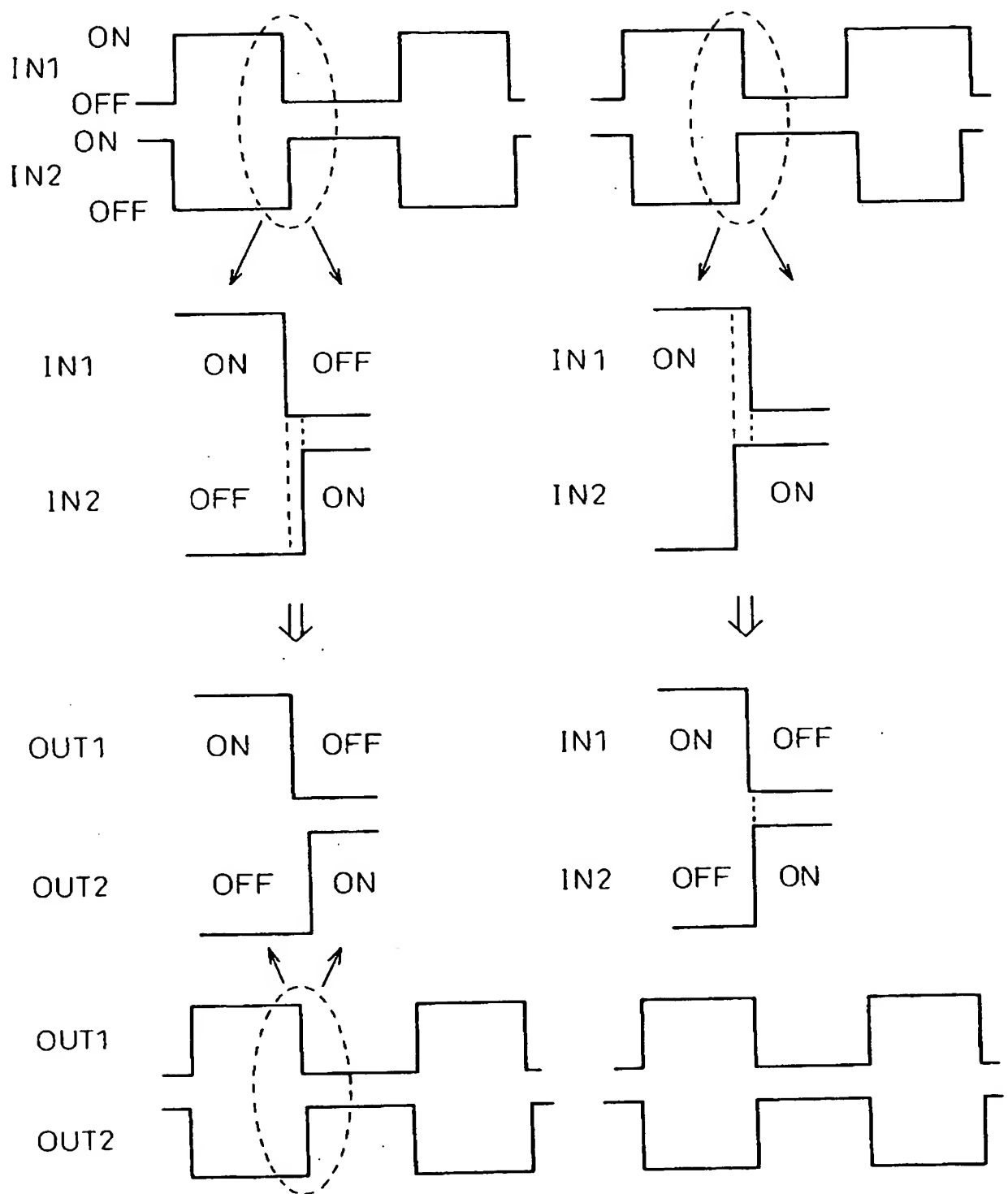
図 25

本発明の第17実施例のブリッド回路



【図 26】

図 26 同時オン防止回路の動作説明



【書類名】 要約書

【要約】

【課題】 ハイレベルとローレベルの出力電圧のタイミングのずれを低減したプリドライブ回路の実現。

【解決手段】 入力電圧端子33, 34に入力された入力電圧IN1, IN2を増幅する入力増幅回路41, 44と、入力増幅回路の出力する信号レベルをシフトするハイレベルシフト回路42, 45と、ハイレベルシフト回路の出力するシフト信号を増幅する出力増幅回路43, 46とを有する駆動系を複数備え、各駆動系は、同一の構成を有する。

【選択図】 図 4

特願 2 0 0 3 - 4 2 7 9 8 0

出 願 人 履 歴 情 報

識別番号

[5 9 9 1 3 2 7 0 8]

1. 変更年月日

1 9 9 9 年 9 月 1 7 日

[変更理由]

新規登録

住 所

神奈川県川崎市高津区坂戸 3 丁目 2 番 1 号

氏 名

富士通日立プラズマディスプレイ株式会社